

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-149581

(P2000-149581A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
G 1 1 C 16/06		G 1 1 C 17/00	6 3 4 G 5 B 0 2 5
16/02			6 1 2 F 5 F 0 0 1
16/04			6 2 3 A 5 F 0 8 3
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4
21/8247		29/78	3 7 1

審査請求 未請求 請求項の数33 O L (全 64 頁) 最終頁に続く

(21) 出願番号 特願平11-10676

(22) 出願日 平成11年1月19日 (1999.1.19)

(31) 優先権主張番号 特願平10-256738

(32) 優先日 平成10年9月10日 (1998.9.10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 作井 康司

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 宮本 順一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

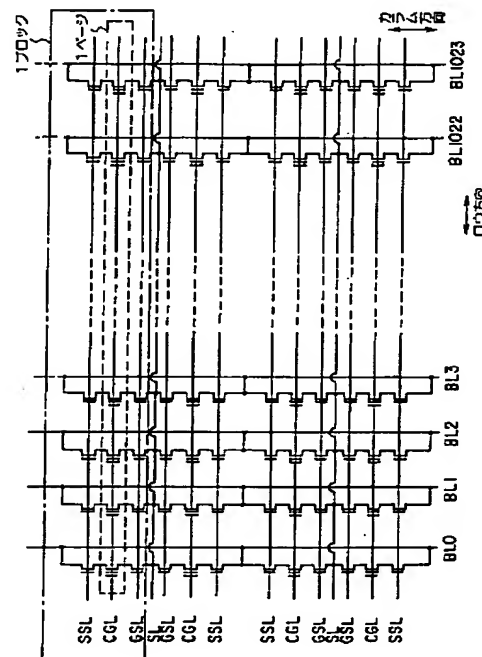
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

【課題】

【解決手段】 メモリセルアレイは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるユニットを有する。1ブロックには、1本のコントロールゲート線CGLが配置され、1本のコントロールゲート線CGLに接続されるメモリセルにより1ページが構成される。ビット線BL_iには、ラッチ機能を持つセンスアンプ回路が接続される。データ書き換えは、まず、1ページ分のメモリセルのデータをセンスアンプ回路に読み出し、センスアンプ回路でデータの上書きを行い、ページ消去を行った後、センスアンプ回路のデータを1ページ分のメモリセルに書き込む。センスアンプ回路におけるデータの上書きにより、ページ単位又はバイト単位のデータ書き換えが可能となる。



【特許請求の範囲】

【請求項1】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、
前記2個のセレクトトランジスタの一方に接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備し、
前記メモリセルは、フローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項2】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、
前記第1及び第2メモリセルユニットに共通に接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備し、
前記第1及び第2メモリセルユニット内のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項3】 請求項2記載の不揮発性半導体メモリにおいて、
前記第2メモリセルユニットは、前記複数のメモリセルが直列接続されたNANDユニット、又は、前記複数のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項4】 請求項1又は2記載の不揮発性半導体メモリにおいて、
前記2個のセレクトトランジスタは、前記メモリセルと同一の構造を有していることを特徴とする不揮発性半導体メモリ。

【請求項5】 請求項1又は2記載の不揮発性半導体メモリにおいて、
選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、
前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項6】 請求項5記載の不揮発性半導体メモリに

において、

前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項7】 電氣的に書き換え可能なメモリセルから構成されるメモリセルユニットを有するメモリセルアレイと、

前記メモリセルユニットに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、

選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項8】 請求項7記載の不揮発性半導体メモリにおいて、

前記メモリセルユニットは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタから構成されるメモリセルユニット、複数のメモリセルが直列接続されたNANDユニット、又は、複数のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項9】 請求項7記載の不揮発性半導体メモリにおいて、

前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項10】 FNトンネル電流によりデータの書き込みを行うメモリセルを有するメモリセルアレイと、

前記メモリセルに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、

選択されたコントロールゲート線に接続される1ページ分のメモリセルに対して同時にデータ書き込みを行う場合に、前記1ページ分のメモリセルが形成されるウェルを第1電位、前記1ページ分のメモリセルのコントロールゲートに第2電位、前記1ページ分のメモリセルのうち書き込みを実行するメモリセルに接続されるビット線に前記第1電位、前記1ページ分のメモリセルのうち書

き込みを実行しないメモリセルに接続されるビット線に前記第1及び第2電位の中間電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項11】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びるメインコントロールゲート線と、前記メインコントロールゲート線の一端に配置されるメインコントロールゲートドライバと、前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続されるサブコントロールゲート線と、前記メインコントロールゲート線と前記サブコントロールゲート線の間に配置されるサブコントロールゲートドライバとを具備することを特徴とする不揮発性半導体メモリ。

【請求項12】 前記複数のメモリセルユニットの各々は、1個のメモリセルとこのメモリセルの両端に1つずつ接続される2個のセレクトトランジスタとから構成されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項13】 請求項12記載の不揮発性半導体メモリにおいて、前記ロウ方向に配置されるメモリセルユニット内の2個のセレクトトランジスタのゲートに接続される2本のセレクトゲート線と、前記2本のセレクトゲート線の一端で、前記コントロールゲートドライバに近接して配置されるセレクトゲートドライバとを具備することを特徴とする不揮発性半導体メモリ。

【請求項14】 請求項11記載の不揮発性半導体メモリにおいて、アドレス信号をデコードし、制御信号を出力するサブデコーダを具備し、前記サブコントロールゲートドライバは、前記メインコントロールゲート線と前記サブコントロールゲート線の間に接続され、ゲートに前記制御信号が入力されるMOSトランジスタから構成されることを特徴とする不揮発性半導体メモリ。

【請求項15】 請求項11記載の不揮発性半導体メモリにおいて、アドレス信号をデコードし、前記サブコントロールゲート線に所定の電位を与えるサブデコーダを具備し、前記サブコントロールゲートドライバは、前記サブコントロールゲート線と前記サブデコーダの間に接続され、ゲートに前記メインコントロールゲート線の電位が入力されるMOSトランジスタから構成されることを特徴とする不揮発性半導体メモリ。

【請求項16】 請求項11記載の不揮発性半導体メモリにおいて、前記ロウ方向に配置されるメモリセルユニット内の1ペ

ージ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、

前記サブコントロールゲート線に接続される複数のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記複数のメモリセルのデータのうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項17】 請求項11記載の不揮発性半導体メモリにおいて、

前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、

前記メインコントロールゲート線に接続される1ページ分のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記サブコントロールゲート線に接続される複数のメモリセルのデータうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータのうち前記サブコントロールゲート線に接続される複数のメモリセルに対応するデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項18】 前記サブコントロールゲート線には、 n (n は自然数) バイトのメモリセルが接続され、前記書き換えを行うデータは、バイト単位のデータであることを特徴とする請求項16又は17記載の不揮発性半導体メモリ。

【請求項19】 前記サブコントロールゲート線に接続される複数のメモリセルをブロックと定義した場合に、前記メインコントロールゲート線に複数のブロックを接続し、データの読み出し、消去又は書き込み動作を、 n (n は自然数) ブロックごとに行うことを特徴とする請求項11記載の不揮発性半導体メモリ。

【請求項20】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第2メインコントロールゲート線と、前記第1メインコントロールゲート線の一端に接続される第1メインコントロールゲートドライバと、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセ

10

20

30

40

50

ルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第2メインコントロールゲート線の一端に接続される第2メインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲートドライバとを具備し、前記第1メインコントロールゲートドライバと前記第1セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の一端に配置され、前記第2メインコントロールゲートドライバと前記第2セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の他端に配置されることを特徴とする不揮発性半導体メモリ。

【請求項21】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第2メインコントロールゲート線と、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第1及び第2メインコントロールゲート線の一端に接続されるメインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲートドライバとを具備し、前記メインコントロールゲートドライバと前記第1及び第2セレクトゲートドライバは、共に、前記メモリセルアレイの前記ロウ方向の一端に配置されることを特徴とする不揮発性半導体メモリ。

【請求項22】 前記第1メモリセルユニットと前記第2メモリセルユニットは、カラム方向において互いに隣接していることを特徴とする請求項19又は21記載の不揮発性半導体メモリ。

【請求項23】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1及び第2メモリセルユニットを有するメモリセルアレイと、前記第1メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第1ビット線と、前記第2メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第2ビット線と、前記第1及び第2ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備することを特徴とする不揮発性半導体メモリ。

【請求項24】 複数のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、前記2個のセレクトトランジスタの一方に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、書き込み動作時に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項25】 前記メモリセルユニットは、2個のメモリセルを含むことを特徴とする請求項24記載の不揮発性半導体メモリ。

【請求項26】 前記複数のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする請求項24記載の不揮発性半導体メモリ。

【請求項27】 前記2個のセレクトトランジスタは、それぞれ前記複数のメモリセルと同一の構造を有していることを特徴とする請求項26記載の不揮発性半導体メモリ。

【請求項28】 複数のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、前記第1及び第2メモリセルユニットに共通に接続されるビット線と、

前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、書き込み動作時に、前記第1メモリセルユニットを含むブロックが選択された場合に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項29】 請求項28記載の不揮発性半導体メモ

リにおいて、

前記第2メモリセルユニットは、前記複数個のメモリセルが直列接続されたNANDユニット、又は、前記複数個のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項30】 請求項24又は28記載の不揮発性半導体メモリにおいて、

選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、

前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項31】 請求項30記載の不揮発性半導体メモリにおいて、

前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項32】 請求項24又は28記載の不揮発性半導体メモリにおいて、

前記手段は、前記書き込み動作時に、前記選択されたコントロールゲート線と前記非選択のコントロールゲート線に前記電源電位又は前記読み出し電位を与えた後に、前記選択されたコントロールゲート線の電位のみを前記書き込み用の高電位に上昇させることを特徴とする不揮発性半導体メモリ。

【請求項33】 前記データ書き換えにおける書き込みは、ホットエレクトロン又はFNトンネル現象により行われ、前記データ書き換えにおける消去は、FNトンネル現象により行われ、電子の移動は、前記メモリセルのフローティングゲートとそのソース又はドレインの間、又は前記メモリセルのフローティングゲートとそのチャ*

$$I = S \cdot \alpha \cdot E^2 \exp(-\beta/E) \quad \dots (1)$$

S:面積、E:電界

$$\alpha = q^3 / 8 \pi h \Phi B = 6.94 \times 10^{-7} \quad [A/V^2]$$

$$\beta = -4(2m)^{0.5} \Phi B^{1.5} / 3 h q$$

$$= 2.54 \times 10^8 \quad [V/cm]$$

この式から、FNトンネル電流が流れ始める電界は、約10[MV/cm]であることがわかる。この電界は、理論的には、10[nm]のトンネル酸化膜に10[V]の電圧を印加した場合に相当する。

*ネルとの間で行われることを特徴とする請求項5、15、16及び30のいずれか1項に記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データの書き換えをバイト単位で行う不揮発性半導体メモリに関する。

【0002】

【従来の技術】従来、データの書き換えをバイト単位で行う不揮発性半導体メモリとしてEEPROMが知られている。

【0003】文献1(W. Johnson et al., "A 16Kb Electrically Erasable Nonvolatile Memory," ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1982.)は、FLOTOX(Floating Gate Tunnel Oxide)セルを用い、データの書き換えをバイト単位で行なうようにしたEEPROMを提案する。

【0004】図65は、バイト消去が可能なEEPROMのメモリセル部の一例を示す平面図、図66は、図65のLXVI-LXVII線に沿う断面図である。

【0005】このEEPROMは、メモリセル部にFLOTOXセルを使用している。FLOTOXセルの特徴は、N⁺ドレイン20aとフローティングゲート21aの間に10[nm]程度のトンネル酸化膜22aを配置し、このトンネル酸化膜22aに電界を印加してN⁺ドレイン20aとフローティングゲート21aの間で電荷のやりとりを行う点にある。

【0006】トンネル酸化膜22aに流れる電流は、FN(Fowler-Nordheim)トンネル現象により生じるFNトンネル電流である。

【0007】図67は、MOSキャパシタ部のエネルギーバンド図を示している。

【0008】MOSキャパシタ(N⁺ドレイン-トンネル酸化膜-フローティングゲート)に電界を印加すると、(1)式に基づき、トンネル酸化膜(SiO₂)にFNトンネル電流が流れる。

【0009】

【0010】ここで、図65及び図66において、N⁺ドレイン20aとコントロールゲート23aの間に電圧を印加した場合におけるコントロールゲート23aとフローティングゲート21aの容量比(カップリング

比)を0.5とする。

【0011】この場合、 N^+ ドレイン20aとフローティングゲート21aの間のトンネル酸化膜22aに10[V]の電圧を印加するには、 N^+ ドレイン20aとコントロールゲート23aの間に20[V]という高電圧を印加しなければならない。

【0012】例えば、消去時には、 N^+ ドレイン20aを0[V]、コントロールゲート23aを20[V]に設定して電子を N^+ ドレイン20aからフローティングゲート21aに移動させる。また、“1”書き込み時には、 N^+ ドレイン20aを20[V]、コントロールゲート23aを0[V]に設定して電子をフローティングゲート21aから N^+ ドレイン20aに移動させる。

*

*【0013】FLOTOXセルを用いたEEPROMの欠点は、図65及び図66に示すように、1ビットを記憶するために、メモリセルと選択トランジスタの2素子を必要とする点にある。

【0014】図68は、バイト消去が可能なEEPROMのメモリセル部の他の例を示している。

【0015】このEEPROMは、メモリセル部にFLOTOXセルを使用すると共に、メモリセル8ビット(1バイト)に対して1つのバイトコントロールトランジスタTrを設けた点に特徴を有する。

【0016】なお、このEEPROMにおける各モードでのバイアス条件は、表1に示す通りである。

【0017】

【表1】

モード		選択バイト	選択バイトと同一のワード線に繋がる非選択バイト	選択バイトと同一のビット線に繋がる非選択バイト
消去 (“0”書き込み)	ワード線	High	High	Low
	バイトコントロール	High	Low	High
	ビット線	Low	Low	Low
“1”書き込み	ワード線	High	High	Low
	バイトコントロール	Low	Low	Low
	ビット線	High or Low ^{*1}	Low	High or Low ^{*2}

*1=Data Dependent

*2=Don't Care

【0018】このようなメモリセル部を使用すると、様々な動作不良(ディスタ urb)を回避することができ。しかし、1ビットを記憶するために、2+(1/8)個のトランジスタが必要となるため、セル面積が大きくなってコストが下げられない欠点がある。

【0019】このような欠点をなくすために誕生したメモリがフラッシュEEPROMである。従来のEEPROMは、1ビット毎にデータの消去又は書き込みを行うことができるため、非常に使い易かった。

【0020】しかし、大きな記憶容量を必要とするコンピュータのハードディスクをEEPROMから構成するような場合、このEEPROMには、1ビット毎にデータの消去又は書き込みを行う機能を持たせる必要がない。ハードディスクにおいては、セクター単位(又はブロック単位)でデータの消去又は書き込みを行う場合がほとんどだからである。

【0021】よって、このような1ビット毎の書き換え機能を排除してでも、セル面積の縮小による大きな記憶容量を達成し、製品の低コスト化を図った方が有利であり、このような発想に基づき、フラッシュEEPROMが誕生した。

【0022】フラッシュEEPROMについての詳細は、例えば、文献2(F. Masuoka et al

1., “A new Flash EEPROM cell using triple polysilicon technology,” IEDM Technical Digest, pp. 464-467 Dec. 1984.)に記載されている。

【0023】図69は、フラッシュEEPROMのメモリセルの構造を示している。

【0024】フラッシュEEPROMのメモリセルは、紫外線消去型EPROMのメモリセルと同様に、コントロールゲートとフローティングゲートを有している。フラッシュEEPROMでは、データの書き込みは、紫外線消去型EPROMと同様に、ホットエレクトロンをフローティングゲートに注入することにより行う。消去は、バイト型EPROMと同様に、FNトンネル現象を利用して電子をフローティングゲートから抜き取ることにより行う。

【0025】フラッシュEEPROMにおいて、メモリセルを個別に見た場合の消去動作は、バイト型EPROMと同じになるが、メモリセルアレイの全体を見た場合の動作は、バイト型EPROMとは全く異なるものとなる。即ち、バイト型EPROMは、バイト単位でデータを消去するが、フラッシュEEPROMは、全ビットを一括で消去する。このような動作手法を採用する

ことにより、フラッシュEEPROMは、1ビット当たり1個のトランジスタからなるメモリセル部を実現し、大きな記憶容量を達成している。

【0026】なお、フラッシュEEPROMにおけるデータの書き込みは、紫外線消去型EPROMと同様に、1ビット毎に行うことができる。即ち、消去が全ビット一括で行われ、書き込みが1ビット毎に行う事ができる点においては、フラッシュEEPROMと紫外線消去型EPROMは同じとなる。

【0027】大きな記憶容量のメモリチップを実現するため、上述したようなフラッシュEEPROMを基にNAND型フラッシュEEPROMが提案されている。

【0028】文献3 (F. Masuoka et al., "New ultra high density EPROM and Flash EEPROM with NAND structured cell," IEDM Technical Digest, pp. 552-555 Dec. 1987.) は、NAND型フラッシュEEPROMについて開示する。

【0029】NAND型EEPROMのメモリセルアレイ部は、図70及び図71に示すように、複数個(例えば、16個)のメモリセルを直列接続してNAND列とし、その両端に1つずつセレクトトランジスタを接続したNANDユニットから構成される。

【0030】NAND型EEPROMでは、1つのメモリセルではなく、1つのNANDユニットに対して、ビット線コンタクト部及びソース線を設ければよく、また、NAND列を構成する複数のメモリセルは、互いに隣接するメモリセル同士で1つの拡散層を共有するため、1ビット当たりのメモリセルサイズを大幅に削減でき、大きな記憶容量のメモリチップを実現できる。

【0031】図72は、NOR型フラッシュEEPROMを示している。NOR型フラッシュEEPROMで *

*は、ビット線とソース線の間に1ビット(1つ)のメモリセルが配置される。

【0032】上述のNAND型フラッシュEEPROMは、コスト面から見ると、NOR型フラッシュEEPROMに比べて、セルサイズを小さくできるため、ビット単位のコストが低い、という大記憶容量のファイルメモリに適した特徴を持つ。また、機能面から見ると、NAND型フラッシュEEPROMは、NOR型フラッシュEEPROMに比べて、データの書き換えスピードが速い、低消費電力である、という特徴を持つ。

【0033】NAND型フラッシュEEPROMの機能面の特徴は、データの書換方式によるものである。即ち、NAND型フラッシュEEPROMの場合、書き込み及び消去は、シリコン基板(チャネル)とフローティングゲートとの間の電荷のやりとりで達成する。

【0034】また、電荷のやりとりには、FNTトンネル現象を利用している。つまり、書き込みに必要な電流は、シリコン基板(チャネル)からフローティングゲートへ流れるFNTトンネル電流であり、書き込みにホットエレクトロンを利用するNOR型フラッシュEEPROMと比較して、NAND型フラッシュEEPROMの消費電流は非常に小さくなる。

【0035】64メガビットNAND型フラッシュEEPROMの場合、1ページ(512バイト)単位での書き込みを200[μs]で行うことが可能である。この書き込み時間は、NOR型フラッシュEEPROMにおける1ブロック単位での書き込み時間よりも短い。

【0036】表2は、NAND型フラッシュEEPROMの特徴とNOR型フラッシュEEPROMの特徴を比較して示したものである。

【0037】

【表2】

	NAND	NOR
長所	①書き込み速度が速い ②消去速度が速い ③ブロックサイズが小さくファイル管理が容易	①ランダムアクセスが速い ②書き込みがバイト毎にランダムにできる
短所	①ランダムアクセスが遅い ②バイト毎に書き込みができない	①書き込み速度が遅い ②消去速度が遅い
用途	ハードディスク、フロッピーディスクの置き換え、携帯端末(ハンディターミナル、音声録音、電子スチルカメラ) Fax/モデムのデータ記録用	従来EPROM分野の置き換え、制御機器、PCのBIOS、携帯電話、HDD等の制御用メモリ

【0038】表2に示すように、両メモリの長所と短所は、互いに相補の関係にある。例えば、用途に関して、NAND型フラッシュEEPROMは、特定のブロックデータ単位で書き換えを行うことを条件に、データ読み出し用に使用できる。30万画素を有するデジタルカメラでは、1ショットの写真に約0.5メガビットの記憶

容量が必要であるため、NAND型フラッシュEEPROMが広く用いられている。

【0039】一方、NOR型フラッシュEEPROMは、100[ns]の高速なランダムアクセスが可能であるため、携帯電話などの制御プログラム用メモリとして広く用いられている。

【0040】このように、不揮発性半導体メモリの分野では、EEPROM（従来型）、フラッシュEEPROM、NAND型フラッシュEEPROMへと進化し、バイト単位の書き換え機能と引き換えに、メモリセルサイズの縮小化、即ち、1ビット当たりのコスト（ビットコスト）の低減を達成してきた。

【0041】しかし、昨今のロジック混載不揮発性メモリでは、バイト単位のデータ書き換えの需要が高まっている。例えば、ICカードにおいては、収入、支出などのお金の管理で一部のデータを書き換える場合、フラッシュEEPROMを用いると、書き換えるデータの量が大きくなりすぎる。

【0042】よって、このような欠点をなくすため、バイト単位で書き換えが可能なバイト型EEPROMが必要となる。ところが、バイト型EEPROMは、上述したように、1ビット当り素子数が多く、記憶容量の増大やビットコストの低減には不利である。

【0043】現在、不揮発性半導体メモリの主流は、フラッシュEEPROM（NOR型、NAND型など）であるため、フラッシュEEPROMと同一のプロセス及び書き換え方法を有するバイト型EEPROMを開発すれば、市場の要求に応じたEEPROMを低いコストで生産できることになる。

【0044】

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、その目的は、フラッシュEEPROMと同一のプロセスで形成でき、さらに、フラッシュEEPROMと同一の書き換え方法を採用でき、バイト単位のデータ書き換えも可能な新規な不揮発性半導体メモリを提供することである。

【0045】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体メモリは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、前記2個のセレクトトランジスタの一方に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを備え、前記メモリセルは、フローティングゲートとコントロールゲートを有するスタックゲート構造を有する。

【0046】本発明の不揮発性半導体メモリは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数個のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、前記第1及び第2メモリセルユニットに共通に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを備え、前記メモリセルは、フローティングゲートとコントロールゲートを有するスタックゲート構造を有する。

【0047】前記第2メモリセルユニットは、前記複数

個のメモリセルが直列接続されたNANDユニット、又は、前記複数個のメモリセルが並列接続されたANDユニット若しくはDINORユニットである。

【0048】前記2個のセレクトトランジスタは、前記メモリセルと同一の構造を有している。即ち、前記2個のセレクトトランジスタは、スタックゲート構造と同様の構造を有している。しかし、実際に、ゲート電極として機能するのは、例えば、下層のみである。

【0049】また、本発明の不揮発性半導体メモリは、選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段を備える。

【0050】前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定される。

【0051】本発明の不揮発性半導体メモリは、電気的に書き換え可能なメモリセルから構成されるメモリセルユニットを有するメモリセルアレイと、前記メモリセルユニットに接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、選択されたコントロールゲート線に接続される1ページ分のメモリセルに対してデータ書き換えを行う場合に、前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段とを備える。

【0052】前記メモリセルユニットは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタから構成されるメモリセルユニット、複数個のメモリセルが直列接続されたNANDユニット、又は、複数個のメモリセルが並列接続されたANDユニット若しくはDINORユニットである。

【0053】前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定される。

【0054】本発明の不揮発性半導体メモリは、FNT

ンネル電流によりデータの書き込みを行うメモリセルを有するメモリセルアレイと、前記メモリセルに接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、選択されたコントロールゲート線に接続される1ページ分のメモリセルに対して同時にデータ書き込みを行う場合に、前記1ページ分のメモリセルが形成されるウェルを第1電位、前記1ページ分のメモリセルのコントロールゲートに第2電位、前記1ページ分のメモリセルのうち書き込みを実行するメモリセルに接続されるビット線に前記第1電位、前記1ページ分のメモリセルのうち書き込みを実行しないメモリセルに接続されるビット線に前記第1及び第2電位の中間電位を印加する手段とを備える。

【0055】本発明の不揮発性半導体メモリは、マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びるメインコントロールゲート線と、前記メインコントロールゲート線の一端に配置されるメインコントロールゲートドライバと、前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続されるサブコントロールゲート線と、前記メインコントロールゲート線と前記サブコントロールゲート線との間に配置されるサブコントロールゲートドライバとを備える。

【0056】前記複数のメモリセルユニットの各々は、1個のメモリセルとこのメモリセルの両端に1つずつ接続される2個のセレクトトランジスタとから構成される。

【0057】本発明の不揮発性半導体メモリは、さらに、前記ロウ方向に配置されるメモリセルユニット内の2個のセレクトトランジスタのゲートに接続される2本のセレクトゲート線と、前記2本のセレクトゲート線の一端で、前記コントロールゲートドライバに近接して配置されるセレクトゲートドライバとを備える。

【0058】本発明の不揮発性半導体メモリは、さらに、アドレス信号をデコードし、制御信号を出力するサブデコーダを備え、前記サブコントロールゲートドライバは、前記メインコントロールゲート線と前記サブコントロールゲート線の間に接続され、ゲートに前記制御信号が入力されるMOSトランジスタから構成される。

【0059】本発明の不揮発性半導体メモリは、さらに、アドレス信号をデコードし、前記サブコントロールゲート線に所定の電位を与えるサブデコーダを備え、前記サブコントロールゲートドライバは、前記サブコントロールゲート線と前記サブデコーダの間に接続され、ゲートに前記メインコントロールゲート線の電位が入力されるMOSトランジスタから構成される。

【0060】本発明の不揮発性半導体メモリは、さらに、前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち任意のメモリセルに対し

てデータ書き換えを行う場合に、前記サブコントロールゲート線に接続される複数のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記複数のメモリセルのデータのうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を備える。

10 【0061】本発明の不揮発性半導体メモリは、さらに、前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記メインコントロールゲート線に接続される1ページ分のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記サブコントロールゲート線に接続される複数のメモリセルのデータうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータのうち前記サブコントロールゲート線に接続される複数のメモリセルに対応するデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を備える。

【0062】前記サブコントロールゲート線には、 n (n は自然数)バイトのメモリセルが接続され、前記書き換えを行うデータは、バイト単位のデータである。

30 【0063】前記サブコントロールゲート線に接続される複数のメモリセルをブロックと定義した場合に、前記メインコントロールゲート線に複数のブロックを接続し、データの読み出し、消去又は書き込み動作を、 n (n は自然数)ブロックごとに行う。

40 【0064】本発明の不揮発性半導体メモリは、マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第2メインコントロールゲート線と、前記第1メインコントロールゲート線の一端に接続される第1メインコントロールゲートドライバと、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第2メインコントロールゲート線の一端に接続される第2メインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメ

メモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲートドライバとを備え、前記第1メインコントロールゲートドライバと前記第1セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の一端に配置され、前記第2メインコントロールゲートドライバと前記第2セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の他端に配置される。

【0065】本発明の不揮発性半導体メモリは、マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第2メインコントロールゲート線と、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第1及び第2メインコントロールゲート線の一端に接続されるメインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲートドライバとを備え、前記メインコントロールゲートドライバと前記第1及び第2セレクトゲートドライバは、共に、前記メモリセルアレイの前記ロウ方向の一端に配置される。

【0066】前記第1メモリセルユニットと前記第2メモリセルユニットは、例えば、カラム方向において互いに隣接している。

【0067】本発明の不揮発性半導体メモリは、1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1及び第2メモリセルユニットを有するメモリセルアレイと、前記第1メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第1ビット線と、前記第2メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第2ビット線と、前記第1及び第2ビット線に接続されるラッチ機能を持つセンスアンプ回路とを備える。

【0068】本発明の不揮発性半導体メモリは、複数のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、前記2個のセレクトトランジスタの一方に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、書き込み動作時に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを備える。

【0069】前記メモリセルユニットは、例えば、2個のメモリセルを含んでいる。前記複数のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有する。

【0070】前記2個のセレクトトランジスタは、それぞれ前記複数のメモリセルと同一の構造を有している。

【0071】本発明の不揮発性半導体メモリは、複数のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、前記第1及び第2メモリセルユニットに共通に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、書き込み動作時に、前記第1メモリセルユニットを含むブロックが選択された場合に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを備える。

【0072】前記第2メモリセルユニットは、前記複数のメモリセルが直列接続されたNANDユニット、又は、前記複数のメモリセルが並列接続されたANDユニット若しくはDINORユニットである。

【0073】本発明の不揮発性半導体メモリは、さらに、選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうちの書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段とを備える。

【0074】前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行

うかは、コマンドにより決定される。

【0075】前記手段は、前記書き込み動作時に、前記選択されたコントロールゲート線と前記非選択のコントロールゲート線に前記電源電位又は前記読み出し電位を与えた後に、前記選択されたコントロールゲート線の電位のみを前記書き込み用の高電位に上昇させる。

【0076】前記データ書き換えにおける書き込みは、ホットエレクトロン又はFNTトンネル現象により行われ、前記データ書き換えにおける消去は、FNTトンネル現象により行われ、電子の移動は、前記メモリセルのフローティングゲートとそのソース又はドレインの間、又は前記メモリセルのフローティングゲートとそのチャネルとの間で行われる。

【0077】

【発明の実施の形態】以下、図面を参照しながら、本発明の不揮発性半導体メモリについて詳細に説明する。

【0078】図1は、本発明のバイト型EEPROMのメモリセルを示している。図2は、図1のメモリセルの等価回路を示している。図3は、メモリセルアレイの全体の回路構成を示している。

【0079】メモリセルMCは、コントロールゲートとフローティングゲートを有し、フラッシュEEPROMのメモリセルと同じ構造となっている。メモリセルMCの両端には、それぞれ1つずつセレクトトランジスタST1、ST2が接続されている。セレクトトランジスタST1は、ビット線コンタクト部BCを経由してビット線に接続され、セレクトトランジスタST2は、ソース線SLに接続される。

【0080】メモリセルMC及びセレクトトランジスタST1、ST2により1つのメモリセルユニットが構成され、メモリセルアレイは、複数のメモリセルユニットがアレイ状に配置されることにより実現される。

【0081】ロウ方向に配置される複数のメモリセルユニットにより1つのブロックが構成される。1つのブロック内には、ロウ方向に延びる1本のコントロールゲート線CGLが配置される。1本のコントロールゲート線CGLに接続されるメモリセルをまとめて1ページと呼ぶ。

【0082】消去動作は、1ページごとに行うことができる。メモリセルに対する書き込み及び読み出しの各動作も、カラムごとにラッチ機能を持つセンスアンプを設けることで、1ページ同時に行うことができる。但し、データの入出力は、例えば、ビットごとにシリアルに行われる。

【0083】また、このような構成により、バイト単位でのデータ書き換えが可能となる。

【0084】本発明のバイト型EEPROMは、構造面で見ると、NAND型フラッシュEEPROMにおいて1つのNANDユニット内のメモリセルを1つにしたものと考えることができる。但し、本発明のバイト型E

PROMは、機能面で見ると、NAND型フラッシュEEPROMとは大きく異なっている。これについては、動作の説明で詳述する。

【0085】本発明のバイト型EEPROMの構造面での長所について説明する。

【0086】本発明のバイト型EEPROMのメモリセル部は、NAND型フラッシュEEPROMのメモリセル部と比べると、1つのユニットを構成するメモリセルの数が異なるだけである。よって、本発明のバイト型EEPROMでは、NAND型フラッシュEEPROMのプロセスをそのまま採用できるため、バイト単位の消去が可能であるにもかかわらず、記憶容量を増大でき、かつ、生産コストも低減できる。

【0087】例えば、デザインルールを $0.4[\mu\text{m}]$ とした場合、1個のメモリセルの面積（短辺長 $a \times$ 長辺長 b ）は、短辺長 a が $1.2[\mu\text{m}]$ 、長辺長 b が $3.2[\mu\text{m}]$ であるため、 $3.84[\mu\text{m}^2]$ となる。一方、図65及び図66に示すような従来のバイト型EEPROMでは、デザインルールを $0.4[\mu\text{m}]$ とした場合、1個のメモリセルの面積は、 $36[\mu\text{m}^2]$ となる。

【0088】つまり、メモリセルアレイ部に関しては、単純に計算しても、本発明のバイト型EEPROMは、従来のバイト型EEPROMに比べて、約10倍の記憶容量を実現できる。

【0089】また、本発明のバイト型EEPROMは、NAND型フラッシュEEPROMと同一のプロセスで製造可能であるため、ロジック混載不揮発性メモリへの応用も容易である。

【0090】また、本発明のバイト型EEPROMのメモリセルは、NAND型フラッシュEEPROMのメモリセルと同じ構造であるため、1つのメモリセルについて見れば、フラッシュEEPROMの書き換え方式、即ち、FNTトンネル現象を利用した書き換え方式をそのまま採用できる。

【0091】但し、メモリセルアレイ全体として見た場合には、本発明のバイト型EEPROMは、バイト単位でのデータ書き換え（バイト消去）が行える点でNAND型フラッシュEEPROMと異なる。

【0092】以下、本発明のバイト型EEPROMの消去動作、書き込み動作及び読み出し動作について順次説明する。

【0093】消去動作時、選択ブロックのコントロールゲート（ワード線）CGLには接地電位が印加され、非選択ブロックのコントロールゲートCGLはフローティング状態に設定される。

【0094】この後、例えば、 $21[\text{V}]$ 、 $3[\text{ms}]$ の消去パルスがバルクに印加される。ここで、バルクとは、シリコン基板に形成されるウエルのことであり、メモリセルMC及びセレクトトランジスタSL1、SL2

は、全て、このウェル中に形成される。

【0095】消去パルスがバルクに印加されると、選択ブロックのメモリセルMCでは、バルクとコントロールゲートの間に消去電圧（21[V]）が加わり、フローティングゲート中の電子がFN（Fowler-Nordheim）トンネル現象によりチャネル（ウェル）に移動する。その結果、メモリセルの閾値電圧は、-3[V]程度となる。

【0096】本発明のバイト型EEPROMでは、消去動作においてメモリセルの閾値電圧の絶対値が極端に大きくなる過消去を問題としなくてもよい。よって、1個の消去パルスで、閾値電圧が-3[V]程度になるような条件で消去動作を行い、消去時間（閾値電圧が所定値未満になったかを確認するベリファイを行う場合はこれに要する時間も含む）を短くすることができる。

【0097】本発明のバイト型EEPROMが過消去を問題としない理由は、1つのメモリセルMCの両端にセレクトトランジスタST1、ST2が接続されているためである。即ち、データ読み出し時には、非選択メモリセルを常にオフ状態にし、選択メモリセルをデータに応じてオン又はオフ状態にする必要があるが、過消去は、この非選択メモリセルをオン状態にしてしまう。セレクトトランジスタST1、ST2を設けておけば、非選択メモリセルがオン状態になっても、非選択メモリセルのデータがビット線に導かれることはないため、メモリの動作に関して不都合はない。

【0098】消去動作時、非選択ブロックのコントロールゲートCGLはフローティング状態に設定されている。よって、非選択ブロックのメモリセルMCでは、バルク（ウェル）の電位が上昇しても、コントロールゲートCGLとバルクの容量カップリングにより、コントロールゲートCGLの電位も上昇するため、データの消去は行われない。

【0099】コントロールゲートCGLは、ポリシリコン、ポリシリコンと金属シリサイドの積層などから構成される。また、コントロールゲートCGLは、金属配線を経由してワード線ドライブ用MOSトランジスタのソースに接続される。よって、コントロールゲートには、ワード線ドライブ用トランジスタのソースの接合容量、ソースとゲートのオーバーラップ容量、コントロールゲートと金属配線の間の容量、コントロールゲートとバルク（ウェル）の間の容量などが接続される。

【0100】これらの容量の中でも、コントロールゲートとバルク（ウェル）の間の容量は、特に大きい。つまり、コントロールゲートとバルクの間のカップリング比は、約0.9と非常に大きくなるため、非選択ブロックのメモリセルMCでは、コントロールゲートCGLとバルクの容量カップリングにより、FNトンネル電流が流れるのを防ぐことができる。

【0101】消去ベリファイでは、例えば、選択ブロッ

ク内の全てのメモリセルの閾値電圧が-1[V]以下になったか否かを検証する。本発明では、上述のように、過消去が問題とならないため、過消去の検証は必要がない。また、-3[V]程度まで確実に閾値電圧を下げる条件で消去を行い、ベリファイを省略することもできる。

【0102】“0”書き込み動作時、選択ブロックのビット線側のセレクトトランジスタST1をオン状態にし、ソース線側のセレクトトランジスタST2をオフ状態にし、書き込み実行（“0”書き込み）のメモリセルに対しては、ビット線BLiを0[V]にし、書き込み禁止（“1”書き込み）のメモリセルに対しては、ビット線BLiを電源電位VCC（例えば、3.3[V]）にする。

【0103】書き込み実行のメモリセルのチャネルには、ビット線BLiからセレクトトランジスタST1を経由して電位0[V]が印加される。よって、書き込み実行のメモリセルのチャネル電位は、接地電位となる。

【0104】そして、選択ワード線（コントロールゲート）に書き込み電位が印加されると、選択ワード線に接続される選択メモリセルのうち、書き込み実行のメモリセルのフローティングゲートとチャネルの間には、大きな電位差が生じる。よって、書き込み実行のメモリセルでは、FNトンネル現象により、電子がチャネルからフローティングゲートへ移動する。

【0105】一方、書き込み禁止のメモリセルにおいては、チャネルは、電源電位VCCに充電され、かつ、フローティング状態に設定されている。そして、選択ワード線（コントロールゲート）に書き込み電位が印加されると、コントロールゲート、フローティングゲート、チャネル、バルク（ウェル）の直列容量結合により、チャネル電位も自動的に昇圧される。

【0106】よって、選択ワード線に接続される書き込み禁止のメモリセルのフローティングゲートとチャネルの間には大きな電位差が生じることはなく、チャネルからフローティングゲートへ電子が移動することもない。

【0107】このように、書き込み禁止のメモリセルに対しては、コントロールゲートとチャネルの間のカップリング比を大きくし、かつ、チャネルの充電を十分に行なっておくことで、選択ワード線に書き込み電位が印加されたときのチャネル電位（書き込み禁止電位）を十分に高くできる。

【0108】コントロールゲートとチャネルの間のカップリング比Bは、以下の式により算出される。

$$【0109】B = C_{ox} / (C_{ox} + C_j)$$

ここで、 C_{ox} は、コントロールゲートとチャネルの間のゲート容量の総和、 C_j は、メモリセルのソースとドレインの接合容量の総和である。

【0110】メモリセルのチャネル容量は、これらゲート容量の総和 C_{ox} と接合容量の総和 C_j の合計とな

る。

【0111】なお、セレクトトランジスタのゲートとソースのオーバーラップ容量、ビット線とソース・ドレインの間の容量などは、チャンネル容量に比べると、非常に小さいため、ここでは無視している。

【0112】読み出し動作時、ビット線をブリチャージ電位に充電した後、図4及び図5に示すように、選択メモリセルのコントロールゲート（選択ワード線）には、0[V]を印加し、選択メモリセルの両側のセレクトトランジスタのゲートには、電源電位VCCを印加し、非選択メモリセルの両側のセレクトトランジスタのゲートには、0[V]を印加する。この時、選択メモリセルの両側のセレクトトランジスタは、オン状態、非選択メモリセルの両側のセレクトトランジスタは、オフ状態となる。

【0113】選択メモリセルのうち、データ“1”が書き込まれているメモリセル、即ち、消去状態のメモリセルについては、閾値電圧が負のディプレッション・モードとなっているため、オン状態となり、ビット線の電位が下がる。逆に、データ“0”が書き込まれているメモリセルについては、閾値電圧が正のエンハンスメント・モードとなっているため、オフ状態となり、ビット線の電位は、ブリチャージ電位に維持される。

【0114】このように、データ“0”、“1”の判断は、ビット線からソース線にセル電流が流れるか否かによって行う。ビット線の電位の変化は、センスアンプにより増幅（検知）される。

【0115】本発明のバイト型EEPROMによれば、メモリセルMCは、セレクトトランジスタに挟まれているため、以下の長所を有する。

【0116】第一に、読み出し電位を0[V]とする場合、図6に示すように、消去後又は書き込み後の閾値電圧分布は、負（データ“1”）又は正（データ“0”）になっていればよい。即ち、“1”と“0”を区別するペリファイ機能を設ければ、過消去や過書き込みを検知するペリファイ機能を設けなくてもよい。よって、従来のフラッシュEEPROMで行われているような複雑なペリファイは必要なくなる。また、本発明では、過消去により負の閾値電圧の絶対値が大きくなったり、過書き込みにより正の閾値電圧の絶対値が大きくなる場合でも、正常な読み出し動作が可能である。よって、ゲート酸化膜（トンネル酸化膜）に加わる電界を高く設定し、消去時間及び書き込み時間を短くすることができる。

【0117】第二に、NAND型フラッシュEEPROMのように、消去及び書き込みは、共に、FNTトンネル現象を利用したフローティングゲートとチャンネルの間での電荷のやりとりにより行われる。よって、データ書き換え時の消費電流を非常に小さく抑えることができ、1回の書き換え動作で同時に書き換えるメモリセルの数を増大させることができる。

【0118】第三に、本発明のバイト型EEPROMは、NAND型フラッシュEEPROMとは異なり、セレクトトランジスタの間のメモリセルは、1つのみである。つまり、セレクトトランジスタの間に選択メモリセルと非選択メモリセルが混在することはないため、読み出し時に、非選択メモリセルを常にオン状態にしてバストランジスタとして機能させる必要もない。よって、過書き込みを防止するための処置は不要である。

【0119】また、読み出し時に、非選択メモリセルを常にオン状態にしておく必要がないため、選択メモリセルのコントロールゲートを0[V]として読み出しを行う場合に、非選択メモリセルのコントロールゲートも0[V]とし、リードリテンション（Read Retention）を考慮しなくてもよくなる。

【0120】即ち、従来のNAND型フラッシュEEPROMでは、セレクトトランジスタの間に複数のメモリセルが直列接続されているため、読み出し時、選択メモリセルのコントロールゲートを0[V]とし、非選択メモリセルのコントロールゲートをVread（=4.5V）としていた。これが、リードリテンションを縮める原因になっていた。

【0121】本発明では、セレクトトランジスタの間には1つのメモリセルのみが接続されるため、読み出し時、全てのメモリセルのコントロールゲートを0[V]とし、メモリセルの両端のセレクトトランジスタのオン／オフのみにより、メモリセルの選択／非選択を決定することができる。

【0122】また、ビット線とメモリセルの間にセレクトトランジスタを接続しているため、読み出し時に、非選択メモリセルを常にオフ状態にしておく必要もない。よって、過消去を防止するための処置も不要である。

【0123】また、“0”書き込み時において、非選択ワード線（コントロールゲート）に中間電位（書き込み電位の約1/2の電位）を与える必要がない。メモリセルとビット線の間にセレクトトランジスタが存在すると共に、セレクトトランジスタの間のメモリセルも1個のみだからである。

【0124】また、非選択ワード線に中間電位を与えなくても、誤書き込みを防止できるため、書き込みの信頼性が高くなる。また、ページ単位（又はビット単位）の書き換えが可能となる。読み出し時においても、バストランジスタがないため、セル電流を大きくできる。よって、高速な読み出しが可能となり、読み出し時のデータ保持特性が向上する。

【0125】表3は、上述の消去、書き込み、読み出しのそれぞれの動作におけるセレクトゲート線SSL、GSL、コントロールゲート線（ワード線）CGL、ビット線BLi、セルソース線SL、セルPウェルの電位を示している。

【0126】

【表3】

		消 去	書き込み	読出し
選 択 ブ ロ ッ ク	ビット線側の セレクトゲート線 SSL	$V_{erax\beta}$	VCC	VCC
	コントロール ゲート線 CGL	0V	V_{prog}	0V
	ソース線側の セレクトゲート線 GSL	$V_{erax\beta}$	0V	VCC
非 選 択 ブ ロ ッ ク	ビット線側の セレクトゲート線 SSL	$V_{erax\beta}$	0V	0V
	コントロール ゲート線 CGL	$V_{erax\beta}$	0V	0V
	ソース線側の セレクトゲート線 GSL	$V_{erax\beta}$	0V	0V
ビ ッ ト 線	"1" データ	V_{era-Vb}	VCC	$VBL-0V$
	"0" データ	V_{era-Vb}	0V	VBL
セルソース線		V_{era-Vb}	VCC	0V
セルPウェル		V_{era}	0V	0V

【0127】消去動作においては、選択ブロックのコントロールゲート線CGLは、0[V]に設定され、非選択ブロックのコントロールゲート線CGL及び全てのセレクトゲート線SSL、GSLは、フローティング状態に設定される。

【0128】この状態において、セルPウェルに消去電位 V_{era} 、例えば、21[V]が印加されると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択ブロックのコントロールゲート線CGLの電位は、セルPウェルとの容量カップリングによって、 $V_{era} \times \beta$ （但し、 β は、カップリング比）になる。

【0129】ここで、 β を0.8とすると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択ブロックのコントロールゲート線CGLの電位は、16.8[V]に上昇することになる。

【0130】消去動作時、ビット線BLi及びセルソース線SLに接続される N^+ 拡散層とセルPウェルとからなるpn接合は、順方向にバイアスされる。このため、ビット線BLi及びセルソース線SLは、 V_{era-Vb} に充電される。なお、 Vb は、pn接合のビルトイン・ポテンシャルである。

【0131】書き込み動作においては、“1”データを書き込む選択メモリセルに接続されるビット線BLi、即ち、消去状態を維持する選択メモリセルに接続されるビット線BLiは、電源電位（例えば、3.3[V]）VCCに設定され、“0”データを書き込む選択メモリセルに接続されるビット線BLiは、0[V]に設定される。

【0132】選択ブロックのビット線側のセレクトゲート線SSLは、電源電位VCCに設定され、セルソース線側のセレクトゲート線GSLは、0[V]に設定され、コントロールゲート線CGLは、書き込み電位（例えば、18[V]） V_{prog} に設定される。

【0133】非選択ブロックのセレクトゲート線SSL、GSL、コントロールゲート線CGL及びセルPウェルは、0[V]に設定される。

【0134】セルソース線は、0[V]に設定される。但し、選択ブロック内の“1”データを書き込むメモリセルのチャネル電位が、コントロールゲート線CGLとの容量カップリングにより昇圧され、パンチスルーによりセルソース線のリーク電流が問題となる場合には、セルソース線の電位は、電源電位VCCに設定するのがよい。

【0135】読み出し動作においては、選択ブロックのセレクトゲート線SSL、GSLは、電源電位VCCに設定され、コントロールゲート線CGLは、0[V]に設定される。データ読み出し前にビット線をプリチャージする方式の場合、ビット線BLiは、プリチャージ電位（例えば、1.2[V]）VBLに設定される。

【0136】選択メモリセルのうち“1”データが記憶されているものは、オン状態となり、セル電流が流れるため、ビット線BLiは、0[V]に放電される。一方、選択メモリセルのうち“0”データが記憶されているものは、オフ状態となり、セル電流が流れないため、ビット線BLiは、プリチャージ電位VBLを保持することになる。

*

		消 去	書込み	読出し
選択ブロック	ビット線側のセレクトゲート線SSL	VeraxB	VCC	VCC
	コントロールゲート線CGL	0V	Vprog	VCC
	ソース線側のセレクトゲート線GSL	VeraxB	0V	VCC
非選択ブロック	ビット線側のセレクトゲート線SSL	VeraxB	0V	0V
	コントロールゲート線CGL	VeraxB	0V	0V
	ソース線側のセレクトゲート線GSL	VeraxB	0V	0V
ビット線	“1”データ	Vera-Vb	VCC	VBL-0V
	“0”データ	Vera-Vb	0V	VBL
セルソース線		Vera-Vb	VCC	0V
セルPウェル		Vera	0V	0V

【0140】本発明では、上述したように、メモリセルの両端にセレクトトランジスタが設けられているため、消去後（“1”データ）のメモリセルの閾値分布の裾野が正から負に跨っていてもよい。

【0141】図8は、本発明のバイト型EEPROMの回路ブロックの主要部を示している。

【0142】このEEPROMは、上述のように、1つのメモリセルを2つのセレクトトランジスタで挟み込んだ3素子から成るメモリセルユニットをマトリックス状に配置したメモリセルアレイ11、メモリセルアレイ11上においてロウ方向に複数本配置されたコントロール

＊【0137】読み出し動作において、選択ブロックのコントロールゲート線CGLに電源電位（例えば、3.3V）VCCを与えて読み出し動作を行いたい場合には、メモリセルの閾値分布を図7に示すように設定すればよい。

【0138】表4は、図7の閾値分布を有する場合の消去、書き込み、読み出しのそれぞれの動作におけるセレクトゲート線SSL、GSL、コントロールゲート線（ワード線）CGL、ビット線BLi、セルソース線SL、セルPウェルの電位を示している。

【0139】

【表4】

ゲート線10a及びメモリセルアレイ11上においてカラム方向に複数本配置されたビット線10bを有している。

【0143】ロウデコーダ12は、ロウ、即ち、コントロールゲート線10aの選択を行う。選択されたコントロールゲート線10aに接続されるメモリセルのデータは、カラムごとに設けられたデータラッチ機能を持つセンスアンプから成るセンスアンプ回路13に入力される。カラムデコーダ14は、カラム、即ち、ビット線BLiの選択を行う。

【0144】選択されたカラムのセンスアンプのデータ

は、データ入出力バッファ18を経由してメモリチップの外部に出力される。メモリチップの内部に入力されるデータは、データ入出力バッファ18を経由して選択されたカラムのラッチ機能を持つセンスアンプにラッチされる。

【0145】昇圧回路16は、書き込み動作や消去動作に必要な高電圧を生成する。制御回路17は、メモリチップの内部の各回路の動作を制御すると共に、メモリチップの内部と外部のインターフェースをとる役割を果たす。制御回路17は、メモリセルに対する消去、書き込み、読み出しの各動作を制御するシーケンス制御手段（例えば、プログラマブルロジックアレイ）を含んでいる。

【0146】図9は、図8のセンスアンプ回路13のうち1本のビット線BLiに接続されるラッチ機能を持つセンスアンプを示している。

【0147】センスアンプは、一方の出力が他方の入力となる2つのCMOSインバータI1、I2から成るラッチ回路21を主体とする。ラッチ回路21のラッチノードQは、カラム選択用のNMOSTランジスタM8を経由してI/O線に接続される。また、ラッチノードQは、センスアンプ遮断用のNMOSTランジスタM4とビット線電位クランプ用のNMOSTランジスタM1を経由してビット線BLiに接続される。

【0148】NMOSTランジスタM1、M4の接続ノードがセンスノードNsenseとなる。センスノードNsenseには、プリチャージ用のPMOSTランジスタM2とディスチャージ用のNMOSTランジスタM3が接続される。プリチャージ用のPMOSTランジスタM2は、プリチャージ制御信号Loadに基づいて所定期間にセンスノードNsenseの充電を行う。ディスチャージ用のNMOSTランジスタM3は、ディスチャージ制御信号DCBに基づいてセンスノードNsenseの電荷を放電する。

【0149】ラッチ回路21のラッチノードQbには、制御信号φL1に基づいてラッチノードQbを強制的に接地するためのリセット用NMOSTランジスタM5が接続される。ラッチ回路21のラッチノードQには、制御信号φL2に基づいてラッチノードQを強制的に接地するためのリセット用NMOSTランジスタM6が接続される。

【0150】リセット用NMOSTランジスタM5、M6の共通ソースは、センスノードNsenseの電位により制御されるセンス用NMOSTランジスタM7を経由して接地点に接続される。センス用NMOSTランジスタM7は、NMOSTランジスタM5、M6と共にラッチ回路21のリセット用としても用いられる。

【0151】図10は、本発明のバイト型EEPROMのバイト単位の書き換え動作の概略的なフローチャートを示している。

【0152】このフローチャートに示すシーケンス動作は、図8の制御回路17により制御される。以下、このフローチャートに従って、バイト単位のデータ書き換え動作について説明する。

【0153】バイト単位のデータ書き換えモードになると、まず、選択されたコントロールゲート線（ワード線）に接続されるメモリセルの1ページ分のデータがセンスアンプ回路に読み出される（ページ逆読み出し）。そして、センスアンプ回路には、この1ページ分のデータがラッチされる（ステップST1）。

【0154】次に、アドレスで指定されたカラムに対応するバイトデータがロードされる。このロードされたバイトデータは、センスアンプ回路にラッチされている1ページ分のデータのうちデータ書き換えを行うバイトデータに対して上書きされる（ステップST2）。

【0155】次に、選択されたコントロールゲート線に接続されるメモリセルの1ページ分のデータが同時に消去（ページ消去）される（ステップST3）。消去後には、選択されたコントロールゲート線に接続される各メモリセルに対して、消去が完全に行われたか、消去が行われ過ぎていないかを検証する消去ベリファイが行われる（ステップST4、5）。

【0156】そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ消去及び消去ベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（消去完了）となったときは、次の動作に移る（ステップST3～5）。

【0157】なお、ラッチ機能を持つセンスアンプ回路が1本のビット線に対して1つのみ存在する場合（1ページ分しかない場合）、消去ベリファイの結果によっては、センスアンプ回路のデータが破壊される可能性がある。よって、このような場合には、消去ベリファイを行わずに、消去を1回で終了させる。

【0158】この後、選択されたコントロールゲート線に接続されるメモリセルに対して、センスアンプ回路にラッチされている1ページ分のデータが同時に書き込まれる（ステップST6）。書き込み後には、選択されたコントロールゲート線に接続される各メモリセルに対して、書き込みが完全に行われたか、書き込みが行われ過ぎていないかを検証する書き込みベリファイが行われる（ステップST7、8）。

【0159】そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ書き込み及び書き込みベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（書き込み完了）となったときは、バイト単位のデータ書き換え動作を終了させる。

【0160】なお、高い書き込み電位を用い、1回の書き込みパルスで1回の書き込みを行う場合には、書き込みベリファイを省略することもできる。

【0161】図11乃至図14は、図10の主要ステップにおける選択メモリセルのデータとセンスアンプ回路のノードQb(図9)の状態を示している。

【0162】図11は、選択されたコントロールゲート線(ワード線)に接続されるメモリセルの1ページ分のデータがセンスアンプ回路に読み出された状態を示している(ステップST1に対応)。

【0163】メモリセルのデータが“0”(閾値電圧が正)の場合、ビット線BLiの電荷は放電されず、プリチャージ電位を維持する。よって、図9のセンスノードNsenseは電源電位VCCとなる。制御信号φL2を電源電位VCCとすると、ノードQは接地電位VSS、即ち、“0”となる。

【0164】逆に、メモリセルのデータが“1”(閾値電圧が負)の場合、ビット線BLiの電荷は放電される。よって、図9のセンスノードNsenseは接地電位VSSとなる。制御信号φL2を電源電位VCCとすると、ノードQは電源電位VCC、即ち、“1”となる。

【0165】図12は、センスアンプ回路にラッチされた1ページ分のデータのうちのアドレスで指定されたバイトデータ(8ビットデータ)に対して、データの上書きが行われた状態を示している(ステップST2に対応)。

【0166】図13は、選択されたコントロールゲート線(ワード線)に接続されるメモリセルのデータを消去(ページ消去)した状態を示している(ステップST3に対応)。ページ消去により、選択されたコントロールゲート線に接続されるメモリセルのデータは、全て“1”となる。

【0167】図14は、選択されたコントロールゲート線(ワード線)に接続されるメモリセルに対して、センスアンプ回路にラッチされた1ページ分のデータを書き込み(ページ書き込み)した状態を示している(ステップST6に対応)。

【0168】このように、メモリセルアレイ11に対しては、動作上は、ページ単位のデータ書き換えとなっているが、実際は、バイト単位のデータの書き換えが行われたことになる。

【0169】次に、図15及び図16のタイミングチャートを参照しながら、ページ書き込み、書き込みベリファイのための読み出し動作を、図9のセンスアンプ回路の動作を中心にして詳細に説明する。

【0170】なお、図15及び図16は、1つのタイミングチャートを二つに分割したそれぞれの部分を示すものであり、図15のt5と図16のt5は、同じ時刻を表している。即ち、図15の後半部の波形と図16の前半部の波形が一部重複している。

【0171】チップ外部からチップ内部に書き込みを指示するコマンドが入力されると、書き込み動作が開始さ

れる。

【0172】まず、センスノードNsenseをリセットするために、制御信号DCBを電源電位VCCにする。この時、MOSTランジスタM3がオンして、センスノードNsenseが接地される(t1)。

【0173】また、制御信号DCBと共に制御信号BLSHFも電源電位VCCにすると、MOSTランジスタM1がオンして、ビット線BLiが接地される。

【0174】書き込みデータをセンスアンプ回路にロードする前に、データラッチ制御信号φL1を電源電位VCC、プリチャージ制御信号Loadを接地電位VSSにする。この時、MOSTランジスタM5、M7がオンして、ラッチ回路21のラッチノードQbが強制接地され、データがリセットされる。即ち、センスアンプ回路20の全てのセンスアンプにおいて、ラッチ回路21のラッチノードQが電源電位VCC、ラッチノードQbが接地電位VSSになる(t2)。

【0175】次に、I/O線から書き込みデータがロードされ、センスアンプ回路20の各ラッチ回路21にデータがラッチされ、ノードQ、Qbはロードデータに応じて“H”、“L”に設定される(t3)。

【0176】具体的には、“0”書き込みを行なうメモリセルに対応するセンスアンプのラッチ回路21では、ラッチノードQに“L”(=VSS)が与えられ、“1”書き込み(書き込み禁止)のメモリセルに対応するセンスアンプのラッチ回路21では、ラッチノードQに“H”(=VCC)が与えられる。

【0177】次に、制御信号BLSHF、SBLが“H”になって、センスアンプ回路20の各ラッチ回路21にラッチされたデータに基づき、各ビット線の充電が開始される(t4)。

【0178】即ち、“0”書き込みを行なうメモリセルに接続されるビット線BLiは接地電位VSSに設定され、“1”書き込み(書き込み禁止)のメモリセルに接続されるビット線は電源電位VCCに充電される。選択されたコントロールゲート線(ワード線)は、書き込み電圧Vprog(20[V]程度)に設定される。

【0179】この動作によって、1ページ分のメモリセルへの書き込みが行われる。

【0180】データ書き込みが終了した後、データ書き込みがきちんと完了しているか否かを検証する書き込みベリファイが開始される。

【0181】まず、書き込みベリファイのための読み出しが行われる。このベリファイ読み出し動作は通常の読み出し動作と同じである。

【0182】制御信号DCBを電源電位VCCに設定すると、MOSTランジスタM3がオンして、センスノードNsenseが強制的に接地される(t5)。

【0183】続いて、選択されたコントロールゲート線CGLには、参照電位Vref(0.5[V]程度)が

10

20

30

40

50

与えられ、セレクトゲート線SSL, GSLには電源電位VCCが与えられると、ペリファイ読み出しが行われる(t6)。

【0184】読み出しに際しては、ビット線ブリチャージ型のセンス方式、電流検知型のセンス方式などを用いることができる。ビット線ブリチャージ型のセンス方式では、ビット線BLiをブリチャージし、フローティング状態にした後、メモリセルのデータに応じてビット線の電位を維持又は低下させる。電流検知型のセンス方式については、以下に詳述する。

【0185】時刻t6において、制御信号BLSHFを昇圧電位VCC+αから電位VCC-αにクランプし、MOSTランジスタM1に流れるメモリセル電流とセンスノードNsenseを充電するMOSTランジスタM2の電流とのバランスにより読み出しを行なう。そして、ビット線BLiの電位が、例えば、0.9[V]まで上昇すると、MOSTランジスタM1がカットオフ状態となり、センスノードNsenseが電源電位VCCとなる。

【0186】センスノードNsenseが“H”(=VCC)になった後、ラッチ制御信号φL1を電源電位VCCとし、MOSTランジスタM5をオンさせる(t7)。センスノードNsenseが電源電位VCCの場合(閾値がペリファイ電位Vrefよりも高いメモリセルに接続されるセンスアンプの場合)、MOSTランジスタM7がオンして、ラッチノードQbは接地電位VSS、ラッチノードQは電源電位VCCになる。

【0187】ラッチノードQに接地電位VSSがロードされ、正常に書き込みが行われると、ラッチ回路21のラッチデータが反転する。メモリセルに対する書き込みが不十分な場合、ペリファイ読み出しにおいて、センスノードNsenseは、“L”(=VSS)のままであるため、ラッチ回路21のデータ反転は起こらず、ラッチノードQはVSSを保つ。書き込み禁止のメモリセルに繋がるセンスアンプでは、ラッチノードQは、電源電位VCCであるのでデータの反転はない。

【0188】書き込み不十分なメモリセルが存在するとき、即ち、ラッチ回路21のデータ反転が生じないセンスアンプがあるとき、書き込みとペリファイ読み出しが繰り返行われる。そして、1ページ分の全てのセンスアンプのラッチノードQの電位が電源電位VCCになると、書き込みが終了する。

【0189】次に、図17のタイミングチャートを参照しながら、バイト単位のデータ書き換え動作について、図9のセンスアンプ回路の動作を中心に詳細に説明する。

【0190】チップ外部からチップ内部にバイト書き換えを指示するコマンドが入力されると、バイト書き換え動作が開始する。

【0191】まず、選択されたコントロールゲート線

(ワード線)に接続される1ページ分のメモリセルに対して、既書き込まれているデータの逆読み出し動作が開始される。

【0192】逆読み出し動作は、読み出し動作と同様である。

【0193】まず、データラッチ制御信号φL1を電源電位VCC、ブリチャージ制御信号Loadを接地電位VSSに設定する。この時、MOSTランジスタM5, M7がオンして、ラッチ回路21のラッチノードQbが強制接地され、データがリセットされる。即ち、センスアンプ回路の全てのラッチ回路21のラッチノードQが電源電位VCC、ラッチノードQbが接地電位VSSになる(t1)。

【0194】次に、制御信号DCBを電源電位VCCに設定する。この時、MOSTランジスタM3がオンになり、センスノードNsenseが強制的に接地される(t2)。続いて、選択されたコントロールゲート線CGLにVSS(=0V)を与え、セレクトゲート線SSL, GSLに電源電位VCCを与えると、読み出しが行われる(t3)。

【0195】センスノードNsenseが“H”(=VCC)になった後、ラッチ制御信号φL2が電源電位VCCとなり、MOSTランジスタM6がオンする(t4)。センスノードNsenseが電源電位VCCの場合(即ち、データ“0”が書き込まれ、閾値電圧がVSSよりも高いメモリセルに接続されるセンスアンプの場合)、MOSTランジスタM7がオンして、ラッチノードQは接地電位VSS、ラッチノードQbは電源電位VCCになる。

【0196】次に、制御信号DCBを電源電位VCCに設定し、制御信号BLSHFを電源電位VCC又は電位VCC+αに設定して、ビット線BLi及びセンスノードNsenseをリセットする(t5)。

【0197】この後、カラムアドレスで指定されたセンスアンプ回路20のラッチ回路21にバイトデータがロードされ、ノードQ, Qbはバイトデータに応じて“H”, “L”に設定される(t6)。

【0198】ラッチ回路21に書き込まれたページデータのうち所定のデータに対して、チップ外部から入力されたバイトデータが上書きされる。

【0199】この後、選択されたコントロールゲート線に接続されるメモリセルに対してページ消去動作を行なう。

【0200】選択ブロックのコントロールゲート線は接地電位VSSに設定し、非選択ブロックのコントロールゲート線及び全てのセレクトゲート線はフローティング状態に設定する。セルPウェルに消去電圧Veraが印加されると、フローティング状態のセレクトゲート線と非選択ブロックのコントロールゲート線は、セルPウェルとの容量カップリングにより、Vera×β(βはカ

ップリング比)に昇圧される。

【0201】また、ビット線BLi及びセルソース線SLは、セルPウェル内のN⁺層に接続される。このN⁺層とセルPウェルとのpn接合が順バイアスされると、ビット線BLi及びセルソース線SLは、それぞれV_a-V_bに充電される(t7)。但し、V_bは、pn接合のビルトイン・ポテンシャルである。

【0202】この後、消去ベリファイを行ない、選択されたページのメモリセルが全て消去状態、即ち、メモリセルの閾値電圧が負になったことを確認する。ラッチ回路21に蓄えられたデータに基づき、選択されたページのメモリセルに対して、書き込み動作及び書き込みベリ

ファイ動作を行なう。

【0203】なお、図17では、消去ベリファイ以降の動作は、省略している。

【0204】図18は、NAND型フラッシュEEPROMのメモリセルアレイの一部を本発明のバイト型EEPROMのメモリセルアレイにした例である。

【0205】本発明のバイト型EEPROMのメモリセルアレイは、NAND型フラッシュEEPROMのメモリセルアレイにおいて2つのセレクトトランジスタの間のメモリセルを1つにしたものと考えることができる。よって、本例のようなEEPROMが容易に実現できることになる。

【0206】本例のEEPROMは、1本のビット線BLiに異なる構成の2種類のメモリセルユニットが接続される。即ち、第一のメモリセルユニットは、2つのセレクトトランジスタの間に複数個(例えば、4、8、16、32個など)のメモリセルが接続され、第二のメモリセルユニットは、2つのセレクトトランジスタの間に1個のメモリセルが接続される。

【0207】コントロールゲート線(ワード線)の選択に当たっては、第一のメモリセルユニットの領域と第二のメモリセルユニットの領域で、別々に駆動回路を設けるようにしてもよいし、共通化できるならば、両領域の駆動回路を一つにまとめるようにしてもよい。

【0208】図18のNAND型フラッシュEEPROMのメモリセルアレイに代えて、以下のようなメモリセルアレイを採用することも可能である。

【0209】図19に示すメモリセルアレイは、AND型フラッシュEEPROMのメモリセルアレイである。図22に示すメモリセルアレイは、DINOR型フラッシュEEPROMのメモリセルアレイである。

【0210】図19のAND型フラッシュEEPROMのANDユニットは、サブビット線とサブソース線の上に並列に接続された複数のメモリセルを有する。サブビット線は、ドレイン側セレクトトランジスタを経由してメインビット線に接続される。サブソース線は、ソース側セレクトトランジスタを経由してメインソース線に接続される。

【0211】例えば、64メガビットAND型フラッシュEEPROMの場合、1つのANDユニットは、128個のメモリセル(m=128)と2個のセレクトトランジスタから構成される。

【0212】このメモリセルアレイの特徴は、ビット線(データ線)、ソース線がそれぞれ階層化されている点にある。ビット線及びソース線は、それぞれメイン配線とサブ配線からなり、サブ配線は、拡散層で形成された擬似コンタクトレス構造を有している。

【0213】メモリセルに対するデータの書き込み/消去は、FN(Fowler-Nordheim)トンネル電流により行なう。

【0214】図20に示すように、データの書き込みは、フローティングゲートの電子をドレインへFNトンネル電流を用いて引き抜くことにより行なう。図21に示すように、データの消去は、基板(チャネル全面)からフローティングゲートへFNトンネル電流を用いて電子を注入することにより行なう。

【0215】図22のDINOR(Divided Bit Line NOR)型フラッシュEEPROMは、NAND型フラッシュEEPROMのように単一電源動作が可能で、かつ、書き換えスピードが高速で、メモリセルサイズが小さいという特長と、NOR型フラッシュEEPROMのように高速なランダムアクセスが可能であるという特長を合せ持つ。

【0216】DINOR型フラッシュEEPROMのメモリセルユニットは、メモリセルアレイ内のメインビット線とサブビット線を階層構造にしているため、サイズの点では、AND型のANDユニットとほぼ等しい。メモリセルの構造は、NOR型フラッシュEEPROMやNAND型フラッシュEEPROMのメモリセルの構造と同じく、スタックゲート型であり、メモリセルのドレインは、ポリシリコンで形成されたサブビット線に接続される。

【0217】例えば、16メガビットDINOR型フラッシュEEPROMの場合、サブビット線には64個のメモリセルが接続される。メモリセルに対するコンタクトをポリシリコンと拡散層のいわゆる埋め込みコンタクトで達成すれば、メモリセルサイズの縮小化を図ることができる。

【0218】メモリセルに対するデータの書き込み/消去のメカニズムは、AND型フラッシュEEPROMと同じであり、FN(Fowler-Nordheim)トンネル電流で行なう。

【0219】即ち、メモリセルに対するデータの書き込みは、フローティングゲートの電子をドレインへFNトンネル電流を用いて引き抜くことにより行なう。データの消去は、基板(チャネル全面)からフローティングゲートへFNトンネル電流を用いて電子を注入することにより行なう。

【0220】図19及び図22のメインビット線に図9のセンスアンプ回路が接続され、図10のフローチャートに基づき、バイト単位の詳細書き換えが実行される。

【0221】このように、図18、図19及び図22に示すようなメモリセルアレイを有するEEPROMにおいても、図10のフローチャートに示すような書き換え方法を採用することにより、メモリセルアレイの各メモリセルユニットに対してバイト単位の詳細書き換えが可能である。

【0222】また、本発明のバイト型EEPROMのメモリセルにおいて、ビット線側のセレクトトランジスタを省略し、1個のメモリセルトランジスタと1個のソース側セレクトトランジスタによりメモリセルユニットを構成することもできる。この場合、データ書き込み時に、センスアンプ回路のデータに基づき、書き込み禁止のビット線には、書き込み電圧 V_{prog} の約1/2の書き込み禁止用の中間電圧 V_m を印加する。

【0223】ところで、従来、SONOS (silicon-oxide-nitride-oxide-silicon) セルと呼ばれるメモリセルが知られている。このメモリセルの特徴は、ゲート電極(ワード線)直下のシリコン窒化膜にトラップされる電子の量により、データ(“0”又は“1”)が特定される点にある。

【0224】SONOSセルについては、例えば、文献4(A. Lancaster et al., “A 5V-Only EEPROM with Internal Program/Erase Control”, IEEE International Solid-State Circuits Conference, pp. 164-165, Feb. 1983.)に開示されている。

【0225】文献4のメモリセルユニットは、1つのメモリセルとこれを挟み込む2つのセレクトトランジスタから構成される。また、この文献4は、SONOSセルにおいてバイト単位の詳細書き換えが可能であることを指摘する(“LOAD-LATCHES-ROW-ERASE operation” p. 164左欄第31~第40行参照)。

【0226】しかし、文献4は、バイト単位の詳細書き換え動作について具体的に開示していない。つまり、実際に、どのようにしてバイト単位の詳細書き換えを行うのかは不明である。また、文献4に開示されるメモリセルは、メモリセルのゲートとセレクトトランジスタのゲートがオーバーラップした構造を有し、フラッシュEEPROMのようなスタックゲート構造を有していない。

【0227】また、本発明では、従来のNAND型フラッシュEEPROMの効果及び文献4のメモリセルの効果とは異なる顕著な効果を奏することができる。

【0228】即ち、書き込み後又は消去後のメモリセル

の閾値分布は、例えば、上述したように、図6又は図7に示すようになる。ここで、従来のNAND型フラッシュEEPROMでは、データ“1”、“0”の閾値分布の上限及び下限が決められており、ペリファイにより各データの閾値分布を所定範囲内に収めなければならない。また、文献4のメモリセルは、SONOS構造であり、シリコン窒化膜の電子のトラップ量はある程度決まっているため、メモリセルの閾値分布を自由にシフトさせることは困難である(これについては、例えば、W. D. Brown et al., “Nonvolatile Semiconductor Memory Technology”, IEEE Press Series on Microelectronic Systems, Stur Tewksbury, Series Editor, p. 70, p. 212, p. 316, p. 326, p. 327, p. 344 参照)。

【0229】これに対し、本発明によれば、例えば、書き込み又は消去の時間や電圧を調整することにより、図6又は図7において、データ“1”の閾値分布とデータ“0”の閾値分布が互いに十分に離れるようにすることができる。つまり、データ“1”の閾値分布とデータ“0”の閾値分布のマージン(ギャップ)を大きくすることで、書き込み及び消去を十分にし、誤読み出しを防止できる。しかも、各データの閾値分布の上限及び下限はないため、ペリファイが不要で、いわゆる一発書き込み及び消去が可能である。

【0230】図23は、本発明のバイト型EEPROMの回路ブロックの一例を示している。図24は、図23のメモリセルアレイ11の一部を示している。

【0231】本例の回路ブロックは、図3のメモリセルアレイを有するEEPROMに適用されるもので、NAND型EEPROMの回路ブロックに近似している。

【0232】本発明では、メモリセルユニットを1つのメモリセルとこれを挟み込む2つのセレクトトランジスタの3素子から構成しているため、1つのブロックBLKi ($i=0, 1, \dots, n$) 内には、1本のコントロールゲート線CGLに繋がるメモリセル、即ち、1ページ分のメモリセルが配置される。

【0233】コントロールゲート・セレクトゲートドライバ12cは、1つのブロックBLKi ($i=0, 1, \dots, n$)、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコーダ12a及びロウデコーダ12bも、1つのブロックBLKi、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。

【0234】ロウアドレス信号は、アドレスレジスタ19を経由してプリデコーダ12aに入力される。そして、プリデコーダ12a及びロウデコーダ12bにより1つのロウ(又は1つのブロック)が選択される。選択

ブロックがBLK i のとき、例えば、ドライバ12cは、選択ブロックBLK i 内のコントロールゲート線CGL及びセレクトゲート線SSL、GSLに、動作モードに応じた所定の電位を与える(表3及び4参照)。

【0235】ラッチ機能を持つセンスアンプ回路13は、読出しデータや書込みデータをラッチする。読出しデータ(出力データ)は、カラム選択回路15及び入出力バッファ18を経由してメモリチップの外部に出力される。書込みデータ(入力データ)は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0236】コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号CLE、チップイネーブル信号/CE、ライトイネーブル信号/WEなどの信号が入力される。

【0237】信号生成回路(昇圧回路)27は、制御回路17の制御の下、コントロールゲート線CGL及びセレクトゲート線SSL、GSLに与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ12cに供給する。

【0238】図25は、本発明のバイト型EEPROMの回路ブロックの他の例を示している。図26は、図25のメモリセルアレイ11の一部を示している。

【0239】本例の回路ブロックは、図18のメモリセルアレイを有するEEPROMに適用されるものである。

【0240】メモリセルアレイは、本発明に関わるメモリセルユニットが配置される3トラセル部11-0とNANDセルユニットが配置されるNANDセル部11-1から構成される。

【0241】3トラセル部11-0は、1つのメモリセルとこれを挟み込む2つのセレクトトランジスタの3素子からなるメモリセルユニットを有し、 n 個のブロックBLK0、BLK1、…BLK n に分けられている。NANDセル部11-1は、直列接続された複数個(4、8、16個など)のメモリセルとこれを挟み込む2つのセレクトトランジスタからなるNANDセルユニットを有し、 m 個のブロックBLK0、BLK1、…BLK m に分けられている。

【0242】3トラセル部11-0の各ブロックBLK i ($i=0, 1, \dots, n$)内には、1本のコントロールゲート線CGLに繋がるメモリセル、即ち、1ページ分のメモリセルが配置される。これに対し、NANDセル部11-1の各ブロックBLK i ($i=0, 1, \dots, m$)内には、複数本のコントロールゲート線CGLに繋がるメモリセル、即ち、複数ページ分のメモリセルが配置される。

【0243】3トラセル部11-0では、コントロール

ゲート・セレクトゲートドライバ12cは、1つのブロックBLK i 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。ブリデコーダ12a及びロウデコーダ12bも、1つのブロックBLK i 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。

【0244】NANDセル部11-1では、コントロールゲート・セレクトゲートドライバ12cは、複数のコントロールゲート線CGL0、…CGL7(複数ページ)を含む1つのブロックBLK i に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。ブリデコーダ12a及びロウデコーダ12bも、複数のコントロールゲート線CGL0、…CGL7(複数ページ)を含む1つのブロックBLK i に対応して設けられる。

【0245】ロウアドレス信号は、アドレスレジスタ19を経由してブリデコーダ12aに入力される。そして、ブリデコーダ12a及びロウデコーダ12bにより、3トラセル部11-0又はNANDセル部11-1の1つのロウ(又は1つのブロック)が選択される。

【0246】ラッチ機能を持つセンスアンプ回路13は、読出しデータや書込みデータをラッチする。読出しデータ(出力データ)は、カラム選択回路15及び入出力バッファ18を経由してメモリチップの外部に出力される。書込みデータ(入力データ)は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0247】コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号CLE、チップイネーブル信号/CE、ライトイネーブル信号/WEなどの信号が入力される。

【0248】信号生成回路(昇圧回路)27は、制御回路17の制御の下、コントロールゲート線CGL及びセレクトゲート線SSL、GSLに与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ12cに供給する。

【0249】図27は、図23乃至図26のEEPROMに適用されるバイト単位の詳細なデータ書き換え動作を示している。

【0250】この書き換え動作は、図11乃至図14に示す書き換え動作をまとめて分かり易くしたものである。

【0251】本発明のバイト単位のデータ書き換え動作は、以下の4つの主要な工程から構成される。

① 選択ブロック内の1ページ分のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。

② ラッチ機能を持つセンスアンプ回路に保持されたデ

ータに対してバイトデータの上書きを行う。

③ 選択ブロック内の1ページ分のメモリセルのデータを消去する。

④ ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内の1ページ分のメモリセルに書き込む。

【0252】以上の工程により、フラッシュEEPROMと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、バイト単位でデータの書き換えが行える不揮発性半導体メモリを提供できる（フラッシュEEPROMは、通常、上記④の工程なしに、ブロック単位でメモリセルのデータを一括消去してしまうため、バイト単位でのデータ書き換えはできない。但し、消去後、バイト単位で書き込むことは可能である。）。

【0253】ここで、図27に示すバイト単位のデータ書き換え方法が適用されるEEPROMのメモリセルのデータ書き換え回数について検討する。

【0254】図27の書き換え方法により1バイト分のデータ書き換えを行う場合、選択ブロック内の1ページ分のデータに対して1回の逆読み出し動作、消去動作及び書き込み動作が行われる。つまり、選択ブロック内では、データ書き換えを行わないメモリセルについても1回の逆読み出し動作、消去動作及び書き込み動作が行われる。

【0255】従って、例えば、1ページ内の全てのデータを書き換える場合、図27の書き換え方法により1ページ分のデータを1バイトごとに書き換えるときのページ読み出し、消去、書き込み回数は、1ページ分のデータを一度に書き換える場合のページ読み出し、消去、書き込み回数よりも、1ページ内に含まれるバイト数倍だけ実質的に多くなる。

【0256】例えば、1ページが64バイトからなる場合、1ページ分のデータを一度に書き換えるときは1回のページ読み出し、消去、書き込み動作で足りるが、1ページ分のデータを1バイトごとに書き換えるときは64回のページ読み出し、消去、書き込み動作が必要になる。

【0257】このように、図27に示すバイト単位のデータ書き換え方法では、1バイト分のデータ書き換えを行う場合に、選択ブロック内の1ページ分のデータに対して1回の逆読み出し動作、消去動作及び書き込み動作が行われる。よって、本発明の手法により1ページ分のデータを書き換える場合のページ読み出し、消去、書き込み回数は、1ページ分のデータを一度に書き換える場合のページ読み出し、消去、書き込み回数よりも、最大で、1ページ内に含まれるバイト数倍だけ多くなる。

【0258】なお、このようなページ読み出し、消去、書き込み回数の増加を防止するため、図27の書き換え方法における1回のページ読み出し後に、複数バイトの

データを上書きし、ページ読み出し、消去、書き込み回数を減らすこともできる。

【0259】但し、以下では、複数バイトのデータの上書きとは別の手段により、バイト単位の書き換えを維持しつつ、ページ読み出し、消去、書き込み回数を減らすことができる不揮発性半導体メモリについて説明する。

【0260】図28は、図23のバイト型EEPROMの改良例を示している。

【0261】本発明では、メモリセルアレイ11を、ロウ方向及びカラム方向に行列状に配置される複数のブロックBLK $i-j$ ($i=0, 1, \dots, n; j=0, 1, 2, 3$)から構成している。

【0262】いままで説明してきた例では、図23及び図25に示すように、ブロックBLK i は、カラム方向にのみ配置され、1本のコントロールゲート線CGLに接続される1ページ分のメモリセルは、必ず、同一のブロックBLK i 内に存在していた。本発明では、1ページ分のメモリセルを、1バイト(8ビット)の正数倍単位で複数に分け、ロウ方向にも複数のブロックを配置するようにしている。

【0263】具体的には、1ページが k (k は、正数)バイトのメモリセルから構成される場合、1つのブロックを r (r は、正数、 $r \leq k$)バイトのメモリセルから構成すると、ロウ方向のブロックの数は、 k/r 個となる。本例では、ロウ方向のブロック数を4個としている。この場合、例えば、1つのブロックは、16バイトのメモリセルから構成され、1ページは、64バイトのメモリセルから構成される。

【0264】メインコントロールゲート・セレクトゲートドライバ12cは、ロウ方向の4つのブロックBLK $i-j$ 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。各ドライバ12cは、昇圧回路を含んでいる。プリデコーダ12a及びロウデコーダ12bも、4つのブロックBLK $i-j$ 、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。

【0265】サブ・コントロールゲートドライバ28は、各ブロックBLK $i-j$ に対応して設けられる。

【0266】ロウアドレス信号は、アドレスレジスタ19を経由してプリデコーダ12a及びサブデコーダ29に入力される。そして、プリデコーダ12a及びロウデコーダ12bにより、1つのロウ内の4つのブロックBLK $i-j$ が選択される。また、サブデコーダ29により、選択された4つのブロックBLK $i-j$ のうちの1つを選択する。

【0267】なお、サブデコーダ29は、選択された1つのロウ内の複数のブロック又は選択された1つのロウ内の全てのブロック(本例では、4つのブロック)を選択するような機能を有していてもよい。

【0268】そして、本発明では、ブロック単位で、デ

ータの読み出し、消去及び書き込みができるようになっている。つまり、バイト単位のデータ書き換え動作において、1ページ分のデータをラッチ機能を持つセンスアンプ回路に読み出す必要がない。よって、本発明では、バイト単位のデータ書き換え動作において、図23及び図25の例よりも、ページ読み出し、消去、書き込み回数を減らすことができ、実質的なページ書き換え特性を向上させることができる。

【0269】例えば、1ページが k (k は、正数) バイトのメモリセルから構成されるEEPROMのページ書き換え特性(書き換え回数)が 1×10^6 回である場合

について考える。
【0270】図23及び図25の例では、1ページ分のデータを書き換えるのに k 回のページ読み出し、消去、書き込み動作が必要であるため、実質的には、ページ書き換え特性が $(1/k) \times 10^6$ 回に減少する。

【0271】本発明では、1ページを k/r (r は、正数、 $r \leq k$) のブロックに分け、各ブロックを r バイトのメモリセルから構成し、ブロック単位で、データの読み出し、消去及び書き込みができるようにしているため、1ページ分のデータを書き換えるためのページ読み出し、消去、書き込み動作は、実質的には、 $(1/r) \times 10^6$ 回で済む。

【0272】具体的な数値で示せば、例えば、1ページが64バイトから構成される場合、図23及び図25の例のページ書き換え特性は、 1.7×10^4 回となる。一方、1ページが8個のブロックから構成され、1ブロックが8バイトから構成される場合、本発明のページ書き換え特性は、 1.3×10^5 回となり、図23及び図24の例よりも1桁だけ実質的な書き換え特性が向上する。

【0273】なお、本発明の場合、1ブロックを1バイトから構成することにより、実質的な書き換え特性を、最大で、 1×10^6 回にすることができる。

【0274】選択ブロックが $BLK_i - j$ のとき、メインコントロールゲート・セレクトゲートドライバ i は、選択ブロック $BLK_i - j$ 内のコントロールゲート線 CGL 及びセレクトゲート線 SSL 、 GSL に動作モードに応じた所定の電位を与える(表3及び4参照)。

【0275】ラッチ機能を持つセンスアンプ回路13は、読出しデータや書込みデータをラッチする。読出しデータ(出力データ)は、カラム選択回路15及び入出力バッファ18を経由してメモリチップの外部に出力される。書込みデータ(入力データ)は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0276】コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号 C

LE 、チップイネーブル信号/ CE 、ライトイネーブル信号/ WE などの信号が入力される。

【0277】信号生成回路(昇圧回路)27は、制御回路17の制御の下、コントロールゲート線 CGL 及びセレクトゲート線 SSL 、 GSL に与える電位を生成し、この電位をコントロールゲート・セレクトゲートドライバ12cに供給する。

【0278】図29は、ブリデコーダ PD_i の構成の一例を示している。

【0279】本例では、ロウ数、即ち、コントロールゲート線 CGL の数(ブロック数)を1024 (2^10) 本と仮定する。この場合、10ビットのロウアドレス信号 a_1, a_2, \dots, a_{10} により、1本のコントロールゲート線 CGL を選択することができる。

【0280】ロウアドレス信号 a_1, a_2, a_3 は、NAND回路30-1に入力され、ロウアドレス信号 a_4, a_5, a_6 は、NAND回路30-2に入力され、ロウアドレス信号 a_7, a_8, a_9, a_{10} は、NAND回路30-3に入力される。NAND回路30-1の出力信号は、インバータ31-1を経由して信号 D となり、NAND回路30-2の出力信号は、インバータ31-2を経由して信号 E となり、NAND回路30-3の出力信号は、インバータ31-3を経由して信号 F となる。

【0281】各ブリデコーダ PD_i には、それぞれ異なるロウアドレス信号 a_1, a_2, \dots, a_{10} が入力される。そして、選択された1つのロウに属するブリデコーダ PD_i の出力信号 D, E, F のみが全て“1”となる。

【0282】図30は、ロウデコーダ RD_i 及びメインコントロールゲート・セレクトゲートドライバ i の構成の一例を示している。

【0283】ロウデコーダ RD_i は、NAND回路32及びインバータ33から構成される。ブリデコーダ PD_i の出力信号 D, E, F は、NAND回路に入力される。

【0284】メインコントロールゲート・セレクトゲートドライバ i は、昇圧回路34及びドライブ回路としてのNチャネルMOSトランジスタ35-1、35-2、35-3から構成される。

【0285】選択ロウに属するメインコントロールゲート・セレクトゲートドライバ i では、NチャネルMOSトランジスタ35-1、35-2、35-3のゲートに電源電位 VCC 又は昇圧電位が印加される。

【0286】例えば、データ書き込み時、選択ロウに属するドライバ i では、昇圧回路34の出力電位 VB が昇圧電位 V_{prog} となり、NチャネルMOSトランジスタ35-1、35-2、35-3がオン状態になる。一方、信号生成回路27において、 $SS (= VCC)$ 、 $CG (= V_{prog})$ 、 $GS (= 0V)$ が生成される。こ

これらの電位SS、CG、GSは、NチャンネルMOSトランジスタ35-1、35-2、35-3を経由して、選択ロウ内のメインコントロールゲート線CGLi及びセレクトゲート線SSLi、GSLiに伝達される。

【0287】また、データ消去時、選択ロウに属するドライバiでは、昇圧回路34の出力電位VBが電源電位VCCとなり、NチャンネルMOSトランジスタ35-1、35-2、35-3がオン状態になる。一方、信号生成回路27において、SS(=VCC)、CG(=0V)、GS(=VCC)が生成される。これらの電位SS、CG、GSは、NチャンネルMOSトランジスタ35-1、35-2、35-3を経由して、選択ロウ内のメインコントロールゲート線CGLi及びセレクトゲート線SSLi、GSLiに伝達される。

【0288】なお、セレクトゲート線SSLi、GSLiについては、この後、フローティングとなるため、Pウェルに消去電位Veraが与えられたとき、セレクトゲート線SSLi、GSLiの電位は、Pウェルとセレクトゲート線SSLi、GSLiの容量カップリングにより、Vera+αに上昇する。

【0289】また、データ読み出し時、選択ロウに属するドライバiでは、昇圧回路34の出力電位VBが電源電位VCC又はVCC+α(αは、NチャンネルMOSトランジスタの閾値電圧以上の値)となり、NチャンネルMOSトランジスタ35-1、35-2、35-3がオン状態になる。一方、信号生成回路27において、SS(=VCC)、CG(=0V又はVCC)、GS(=VCC)が生成される。これらの電位SS、CG、GSは、NチャンネルMOSトランジスタ35-1、35-2、35-3を経由して、選択ロウ内のメインコントロールゲート線CGLi及びセレクトゲート線SSLi、GSLiに伝達される。

【0290】非選択ロウに属するメインコントロールゲート・セレクトゲートドライバiでは、NチャンネルMOSトランジスタ35-1、35-2、35-3のゲートに接地電位が印加されるため、NチャンネルMOSトランジスタ35-1、35-2、35-3は、オフ状態となる。よって、非選択ロウ内のメインコントロールゲート線CGLi及びセレクトゲート線SSLi、GSLiは、全てフローティング状態になっている。

【0291】なお、非選択ロウ内のセレクトゲート線SSLi、GSLiについては、データ読み出し時にVS(0V)を印加するようにしてもよい。この場合、例えば、全てのセレクトゲート線SSLi、GSLiにそれぞれ接地用MOSトランジスタを接続し、ロウ(又はブロック)選択の有無により、この接地用MOSトランジスタのオン/オフを制御する。

【0292】図31は、1ロウ内に配置される複数のブロックとサブコントロールゲートドライバの構成の一例を示している。

【0293】本例では、図28の回路ブロックに対応させ、1ロウ内に4つのブロックBLKi-0、BLKi-1、BLKi-2、BLKi-3が配置される場合について説明する。

【0294】各ブロックBLKi-j(j=0, 1, 2, 3)内には、それぞれサブコントロールゲート線CGLi-0、CGLi-1、CGLi-2、CGLi-3が配置される。サブコントロールゲート線CGLi-j(j=0, 1, 2, 3)は、それぞれブロックBLKi-j内に配置される1バイトの正数倍(例えば、16バイト)のメモリセルに接続される。

【0295】サブコントロールゲート線CGLi-jは、それぞれサブコントロールゲートドライバ28を構成するドライブ回路としてのNチャンネルMOSトランジスタ36-jを経由して、メインコントロールゲート線CGLiに接続される。

【0296】NチャンネルMOSトランジスタ36-jのオン/オフは、サブデコーダ29により制御される。サブデコーダ29は、1つのNチャンネルMOSトランジスタ36-j(1つのブロック)を選択する機能を有している。

【0297】なお、サブデコーダ29に、複数又は全てのNチャンネルMOSトランジスタ36-j(複数又は全てのブロック)を選択する機能を持たせてもよい。

【0298】データ書き込み時、選択ロウ内の選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートにVprogが印加されるため、このNチャンネルMOSトランジスタ36-jは、オン状態となる。よって、書き込み用の高電位Vprogが、メインコントロールゲート線CGLiから選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jに伝達される。

【0299】また、データ消去時、選択ロウ内の選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートにVCCが印加されるため、このNチャンネルMOSトランジスタ36-jは、オン状態となる。よって、接地電位がメインコントロールゲート線CGLiから選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jに伝達される。

【0300】また、データ読み出し時、選択ロウ内の選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートにVCCが印加されるため、このNチャンネルMOSトランジスタ36-jは、オン状態となる。よって、接地電位又は電源電位VCCがメインコントロールゲート線CGLiから選択ブロックBLKi-j内のサブコントロールゲート線CGLi-jに伝達される(表3及び表4参照)。

【0301】一方、選択ロウ内の非選択ブロックBLKi-jでは、NチャンネルMOSトランジスタ36-jのゲートに接地電位が印加されるため、このNチャンネルM

OSTランジスタ36-jは、オフ状態となる。つまり、非選択ブロックBLK i-j内のサブコントロールゲート線CGL i-jは、フローティング状態となる。

【0302】ここで、選択ロウにおいては、メインコントロールゲート線CGL iの直下に複数のサブコントロールゲート線CGL i-jが配置される。よって、書き込み、消去、読み出し時に、メインコントロールゲート線CGL iに所定電位が印加された場合、容量カップリングにより、非選択ブロックBLK i-j内のサブコントロールゲート線CGL i-jの電位が変化する可能性がある。

【0303】しかし、非選択ブロックBLK i-j内のサブコントロールゲート線CGL i-jの電位が変化は、書き込み、消去、読み出し動作に何ら不都合を与えることはない。

【0304】なお、選択ロウ内のセレクトゲート線SSL i、GSL iは、選択ロウ内の全てのブロックBLK i-jに共通になっている。

【0305】よって、データ書き込み時には、選択ロウ内の全てのブロックBLK i-jのセレクトゲート線SSL i、GSL iには、NチャネルMOSトランジスタ35-1、35-3を経由して接地電位又は電源電位VCCが印加される。データ消去時には、選択ロウ内の全てのブロックBLK i-jのセレクトゲート線SSL i、GSL iには、NチャネルMOSトランジスタ35-1、35-3を経由してVCCが印加される。データ読み出し時には、選択ロウ内の全てのブロックBLK i-jのセレクトゲート線SSL i、GSL iには、NチャネルMOSトランジスタ35-1、35-3を経由して電源電位VCCが印加される（表3及び表4参照）。

【0306】図32は、図28乃至図31のEEPROMに適用されるバイト単位のデータ書き換え動作の第1例を示している。

【0307】本発明のバイト単位のデータ書き換え動作は、以下の4つの主要な工程から構成される。

- ① 選択ブロック内のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。
- ② ラッチ機能を持つセンスアンプ回路に保持されたデータに対してバイトデータの上書きを行う。
- ③ 選択ブロック内のメモリセルのデータを消去する。
- ④ ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内のメモリセルに書き込む。

【0308】本発明のバイト単位のデータ書き換え動作の特徴は、図27の書き換え動作と比較すれば明らかのように、バイト単位のデータ書き換えを行うに当たって、選択ロウ内の1ページ分のデータを逆読み出しすることなく、選択ロウ内の選択ブロックBLK i-jのデータ（1バイトの正数倍のデータ）のみに対して逆読み出しを行っている。つまり、選択ロウ内の非選択ブロッ

クのメモリセルのデータに対しては逆読み出しを行わなくてよい。データ書き換えを行わないメモリセルに対する不要な読み出し、消去、書き込み動作をなくすることができる。

【0309】よって、同じデータを書き換えるとする、本発明の書き換え動作は、図27の書き換え動作に比べて、ページ読み出し、消去、書き込みの回数を減らすことができ、実質的なページ書き換え特性（書き換え回数）を向上させることができる。

【0310】このように、本発明によれば、フラッシュEEPROMと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、書き換え特性を悪くすることなしにバイト単位でのデータの書き換えが可能である。

【0311】図33は、図28乃至図31のEEPROMに適用されるバイト単位のデータ書き換え動作の第2例を示している。

【0312】本発明のバイト単位のデータ書き換え動作は、以下の4つの主要な工程から構成される。

- ① 選択ロウ内の1ページ分のメモリセルに対してデータの逆読み出しを行い、これをラッチ機能を持つセンスアンプ回路に保持する。
- ② ラッチ機能を持つセンスアンプ回路に保持されたデータに対してバイトデータの上書きを行う。
- ③ 選択ブロック内のメモリセルのデータを消去する。
- ④ ラッチ機能を持つセンスアンプ回路に保持されたデータを選択ブロック内のメモリセルに書き込む。

【0313】本発明のバイト単位のデータ書き換え動作は、図32の書き換え動作と比較すると、1ページ分のメモリセルに対して逆読み出しを行っている点に特徴を有している。即ち、本発明では、1ページ分のメモリセルのデータを逆読み出しするが、消去及び書き込みは、選択ロウ内の選択ブロックに対してのみ行う。このため、選択ロウ内の非選択ブロックのメモリセルのデータに対する不要な消去、書き込み動作をなくすることができる。

【0314】この場合、逆読み出し動作においては、選択ロウ内の全てのブロックBLK i-jが選択されるように、サブデコーダにより、選択ロウ内の全てのブロックBLK i-jを多重選択する。

【0315】本発明の書き換え動作は、図27の書き換え動作に比べて、ページ消去、書き込みの回数を減らすことができ、実質的なページ書き換え特性（書き換え回数）を向上させることができる。

【0316】このように、本発明によれば、フラッシュEEPROMと同一のプロセスで製造でき、かつ、同一の書き換え方法が適用されるにもかかわらず、書き換え特性を悪くすることなしにバイト単位でのデータの書き換えが可能である。

【0317】図34は、メモリセルアレイ領域における

ウェルのレイアウトの一例を示している。

【0318】フラッシュEEPROMでは、通常、全てのメモリセルユニット（メモリセル及びセレクトトランジスタ）が1つのウェル（例えば、ツインウェル、即ち、p型基板に形成されたn型ウェル中のp型ウェル）内に形成される。しかし、本発明では、メモリセルユニットの間にサブコントロールゲートドライバを配置している。サブコントロールゲートドライバは、高電位をサブコントロールゲートに伝達する役割を有しており、これをメモリセルと同一のウェルに形成すると、バックゲートバイアス効果により閾値が上昇したり、ウェルの電位により動作が不安定になったりする。

【0319】そこで、本例では、カラム方向のブロックBLK $i-j$ に共通のウェルを設け、ロウ方向のブロックBLK $i-j$ は、それぞれ異なるウェル内に配置されるようにした。この場合、サブコントロールゲートドライバは、ウェルの外部、即ち、p型基板に形成されることになり、上述の問題を回避することができる。

【0320】なお、書き込み時及び消去時にウェルに与える電位を工夫することにより、全てのメモリセルユニットとサブコントロールゲートドライバを1つのウェル内に配置することもできる。

【0321】但し、この場合、バックゲートバイアス効果による閾値の上昇を回避することはできない。

【0322】図35は、1ロウ内に配置される複数のブロックとサブコントロールゲートドライバの構成の他の例を示している。

【0323】本例は、図31の回路の変形例であり、NチャネルMOSトランジスタ36-0、36-1、36-2、36-3の接続関係に特徴を有する。

【0324】各ブロックBLK $i-j$ （ $j=0, 1, 2, 3$ ）内には、それぞれサブコントロールゲート線CGL $i-0$ 、CGL $i-1$ 、CGL $i-2$ 、CGL $i-3$ が配置される。サブコントロールゲート線CGL $i-j$ （ $j=0, 1, 2, 3$ ）は、それぞれブロックBLK $i-j$ 内に配置される1バイトの正数倍（例えば、16バイト）のメモリセルに接続される。

【0325】サブコントロールゲート線CGL $i-j$ は、それぞれサブコントロールゲートドライバ28を構成するドライブ回路としてのNチャネルMOSトランジスタ36-jを経由して、サブデコーダ29に接続される。

【0326】NチャネルMOSトランジスタ36-jのオン/オフは、メインコントロールゲート線CGL i の電位により決定される。選択ロウでは、メインコントロールゲート線CGL i に昇圧電位V $_{prog}$ 又は電源電位VCCが印加されるため、選択ロウの全てのNチャネルMOSトランジスタ36-0、36-1、36-2、36-3は、オン状態となる。

【0327】データ書き込み時、選択ブロックBLK i

-jのサブコントロールゲート線CGL $i-j$ には、サブデコーダ29から書き込み用の高電位V $_{prog}$ が供給される。非選択ブロックBLK $i-j$ のサブコントロールゲート線CGL $i-j$ には、サブデコーダ29から接地電位が供給される。

【0328】また、データ消去時、選択ブロックBLK $i-j$ のサブコントロールゲート線CGL $i-j$ には、サブデコーダ29から接地電位が供給される。非選択ブロックBLK $i-j$ のサブコントロールゲート線CGL $i-j$ には、サブデコーダ29からVCCが供給される。

【0329】また、データ読み出し時、選択ブロックBLK $i-j$ のサブコントロールゲート線CGL $i-j$ には、サブデコーダ29から読み出し電位（接地電位又は電源電位VCC）が供給される。非選択ブロックBLK $i-j$ のサブコントロールゲート線CGL $i-j$ には、サブデコーダ29から接地電位が供給される（表3及び表4参照）。

【0330】一方、非選択ロウ内のブロックBLK $i-j$ では、NチャネルMOSトランジスタ36-jのゲートに接地電位が印加されるため、このNチャネルMOSトランジスタ36-jは、オフ状態となる。

【0331】また、データ書き込み時、選択ロウ内の全てのブロックBLK $i-j$ のセレクトゲート線SSL i 、GSL i には、NチャネルMOSトランジスタ35-1、35-3を経由して接地電位又は電源電位VCCが印加される。データ消去時、選択ロウ内の全てのブロックBLK $i-j$ のセレクトゲート線SSL i 、GSL i には、NチャネルMOSトランジスタ35-1、35-3を経由してVCCが印加される。データ読み出し時、選択ロウ内の全てのブロックBLK $i-j$ のセレクトゲート線SSL i 、GSL i には、NチャネルMOSトランジスタ35-1、35-3を経由して電源電位VCCが印加される（表3及び表4参照）。

【0332】このような構成においても、ブロック単位で、読み出し、消去又は書き込み動作を行うことができ、よって、当然に、図32及び図33のバイト単位のデータ書き換え手法を適用することができる。

【0333】従って、データ書き換えを行わないメモリセルに対する不要な読み出し、消去、書き込み動作をなくことができ、実質的なページ書き換え特性（書き換え回数）を向上させることができる。

【0334】図36は、図28のバイト型EEPROMの改良例を示している。図37は、図36のメモリセルアレイ11内の互いに隣接する2つのロウのみを取り出して示すものである。

【0335】図28の例では、ブリデコーダ12a、ロウデコーダ12b及びメインコントロールゲート・セレクトゲートドライバ12cを、メモリセルアレイ11のロウ方向の一端にまとめて配置している。

【0336】これに対し、本発明では、ブリデコーダ12a、ロウデコーダ12b及びメインコントロールゲート・セレクトゲートドライバ12cを、メモリセルアレイ11のロウ方向の一端及び他端に配置している。

【0337】例えば、偶数番目のロウを選択するブリデコーダPD0、PD2、…及びロウデコーダRD0、RD2、…をメモリセルアレイ11のロウ方向の一端に配置し、奇数番目のロウを選択するブリデコーダPD1、PD3、…及びロウデコーダRD1、RD3、…をメモリセルアレイ11のロウ方向の他端に配置する。また、偶数番目のロウに所定の電位を与えるメインコントロールゲート・セレクトゲートドライバ0、2、…をメモリセルアレイ11のロウ方向の一端に配置し、奇数番目のロウに所定の電位を与えるメインコントロールゲート・セレクトゲートドライバ1、3、…をメモリセルアレイ11のロウ方向の他端に配置する。

【0338】これにより、回路設計時に、ブリデコーダ12a、ロウデコーダ12b及びメインコントロールゲート・セレクトゲートドライバ12cのレイアウトを容易に決めることができる。

【0339】即ち、メインコントロールゲート・セレクトゲートドライバ12cは、例えば、書き込み用の高電位を生成し、これをメインコントロールゲート線CGLiに伝達するため、回路サイズが大きくなりがちである。よって、ブリデコーダ12a、ロウデコーダ12b及びメインコントロールゲート・セレクトゲートドライバ12cを、メモリセルアレイ11のロウ方向の一端のみにまとめて配置すると、これら回路のチップ上のレイアウトを決めるのが非常に困難となる。

【0340】上述のように、ブリデコーダ12a、ロウデコーダ12b及びメインコントロールゲート・セレクトゲートドライバ12cを、メモリセルアレイ11のロウ方向の一端及び他端に配置すれば、チップ上のスペースを有効に活用でき、各回路ブロックをチップ上にコンパクトに収めることができる。

【0341】なお、同図に示すように、同一ブロックBLKi-j内のコントロールゲート線CGLiを駆動するドライブ回路とセレクトゲート線SSLi、GSLiを駆動するドライブ回路は、共に、ドライバiとして、まとめてメモリセルアレイ11の一端又は他端に配置する。

【0342】これにより、選択ブロックBLKi-j内のメモリセルに与えられる信号とセレクトトランジスタに与えられる信号のタイミングのずれがなくなり、書き込み時、読み出し時の誤動作を防止できるため、信頼性が向上する。

【0343】さらに、本例では、2本のセレクトゲート線SSLi、GSLi及び1本のコントロールゲート線CGLを1組として同時に駆動することが望ましい。また、高耐圧トランジスタ（ドライバ）の面積は大きな

ることから、セレクトゲート線SSLi、GSLiとコントロールゲート線CGLを1組として配置すれば、チップ上のパターンが均一となる。よって、パターンが不均一の場合に生じるエレクトロローディング効果によるワード線の細りを防止できる。

【0344】図38及び図39は、センスアンプ回路の改良例を示している。

【0345】図38の例は、差動式センスアンプを用いた場合の構成例である。この場合、1ビットデータを相補データとして2つのメモリセルユニットに記憶してもよい。また、データ読み出しは、2つのメモリセルユニットから出力される信号量（電位）の僅かな差を検出し、この差を増大することにより行うため、高速読み出しが可能になる。

【0346】また、2つのメモリセルユニットを対にし、一対のメモリセルユニットに1ビットデータを記憶するため、仮に、データ書き換え動作の繰返しにより一方のメモリセルユニットの書き換え特性が劣化しても、他方のメモリセルユニットの書き換え特性が良好であれば、信頼性が低下することはない。

【0347】図39の例は、複数本（例えば、2本）のビット線に共通に1つのセンスアンプ回路を接続した場合の例である。この場合、例えば、ブロックBLKi-jにおけるバイト単位のデータ書き換えは、2回に分けて行う。つまり、1回目の書き換えは、偶数本目のビット線に接続されるメモリセルユニットに対して行い、2回目の書き換えは、奇数本目のビット線に接続されるメモリセルユニットに対して行う。

【0348】本例のセンスアンプ回路を用いた場合、一方のビット線にデータを読み出す際には、他方のビット線を固定電位（例えば、接地電位）に設定しておく（シールドビット線読み出し手法）。これにより、読み出し時における非選択セルでの誤書き込みなどの問題を回避できる。また、本例のEEPROMは、1つのメモリセルユニットに多値データを記憶させる場合に適用できる。

【0349】図40は、図28のバイト型EEPROMの改良例を示している。

【0350】図28の例では、メモリセルアレイ11を、ロウ方向及びカラム方向に行列状に配置される複数のブロックBLKi-j（i=0, 1, …, n; j=0, 1, 2, 3）から構成した。本発明では、これを前提とし、さらに、チップ上で大面積を占めるメインコントロールゲートドライバ（昇圧回路を含む）の数を減らし、チップ上における回路ブロックのレイアウトを容易にする。

【0351】本例では、カラム方向のブロック数をn（例えば、1024）個、ロウ方向のブロック数を4個としている。この場合、例えば、1つのブロックは、16バイトのメモリセルから構成され、1ページは、64

バイトのメモリセルから構成される。

【0352】メインコントロールゲートドライバ37は、複数のロウ、本例では、2つのロウ、即ち、互いに隣接する2本のメインコントロールゲート線CGL(2ページ)に対応して設けられる。つまり、本発明では、1つのメインコントロールゲートドライバ37により、2本のメインコントロールゲート線CGLを駆動する。各メインコントロールゲートドライバは、昇圧回路を含んでいる。

【0353】サブ・コントロールゲートドライバ28は、各ブロックBLK_{i-j}に対応して設けられる。

【0354】セレクトゲートドライバ38は、1つのロウ、即ち、1本のコントロールゲート線CGL(1ページ)に対応して設けられる。ブリデコーダ12a及びロウデコーダ12bも、1つのロウ、即ち、1本のコントロールゲート線CGLに対応して設けられる。

【0355】ロウアドレス信号は、アドレスレジスタ19を経由してブリデコーダ12a及びサブデコーダ29に入力される。そして、ブリデコーダ12a及びロウデコーダ12bにより、1つのロウ内の4つのブロックB

LK_{i-j}が選択される。また、サブデコーダ29により、選択された4つのブロックBLK_{i-j}のうちの1つを選択する。

【0356】なお、サブデコーダ29は、選択された1つのロウ内の複数のブロック又は選択された1つのロウ内の全てのブロック(本例では、4つのブロック)を選択するような機能を有していてもよい。

【0357】本発明では、図28の例と同様に、ブロック単位で、データの読み出し、消去及び書き込みが可能である。よって、バイト単位のデータ書き換え動作において、1ページ分のデータをラッチ機能を持つセンスアンプ回路に読み出す必要がなく、実質的なページ書き換え特性を向上させることができる。

【0358】また、本発明では、例えば、選択ブロックがBLK_{i-j}のとき、メインコントロールゲートドライバ37は、選択ブロックBLK_{i-j}が属するロウとこれに隣接するロウの2本メインコントロールゲート線CGL_i、CGL_{i+1}に、動作モードに応じた所定の電位を与える。つまり、2本メインコントロールゲート線CGL_i、CGL_{i+1}に共通に1つのメインコントロールゲートドライバ37を設けているため、メインコントロールゲートドライバ37の数を減らすことができ、レイアウトの容易化、回路設計時の負担軽減を図ることができる。

【0359】セレクトゲートドライバ38は、選択ブロックBLK_{i-j}が属するロウのセレクトゲート線SSL、GSLに、動作モードに応じた所定の電位を与える。

【0360】ラッチ機能を持つセンスアンプ回路13は、読出しデータや書込みデータをラッチする。読出し

データ(出力データ)は、カラム選択回路15及び入出力バッファ18を経由してメモリチップの外部に出力される。書込みデータ(入力データ)は、入出力バッファ18及びカラム選択回路15を経由してラッチ機能を持つセンスアンプ回路13にラッチされる。

【0361】コマンド信号は、データ入出力バッファ18及びコマンドレジスタ25を経由してコマンドデコーダ26に入力される。制御回路17には、コマンドデコーダ26の出力信号、コマンドラッチイネーブル信号CLE、チップイネーブル信号/CE、ライトイネーブル信号/WEなどの信号が入力される。

【0362】信号生成回路(昇圧回路)27は、制御回路17の制御の下、コントロールゲート線CGL及びセレクトゲート線SSL、GSLに与える電位を生成し、この電位をメインコントロールゲートドライバ37及びセレクトゲートドライバ38に供給する。

【0363】図41は、ブリデコーダPD_iの構成の一例を示している。

【0364】本例では、ロウ数、即ち、コントロールゲート線CGLの数(ブロック数)を1024(2¹⁰)本と仮定する。この場合、10ビットのロウアドレス信号a₁、a₂、…a₁₀により、1つのロウを選択することができる。

【0365】ロウアドレス信号a₂、a₃、a₄は、NAND回路30-1に入力され、ロウアドレス信号a₅、a₆、a₇は、NAND回路30-2に入力され、ロウアドレス信号a₈、a₉、a₁₀は、NAND回路30-3に入力される。NAND回路30-1の出力信号は、インバータ31-1を経由して信号Dとなり、NAND回路30-2の出力信号は、インバータ31-2を経由して信号Eとなり、NAND回路30-3の出力信号は、インバータ31-3を経由して信号Fとなる。

【0366】各ブリデコーダPD_iには、それぞれ異なるロウアドレス信号a₁、a₂、…a₁₀が入力される。そして、選択された1つのロウに属するブリデコーダPD_iの出力信号a₁、D、E、Fのみが全て“1”となる。

【0367】図42は、ロウデコーダRD_i、メインコントロールゲートドライバ37及びセレクトゲートドライバ38の構成の一例を示している。

【0368】ロウデコーダRD_iは、NAND回路32及びインバータ33から構成される。ブリデコーダPD_iの出力信号D、E、Fは、NAND回路に入力される。

【0369】セレクトゲートドライバ38は、ドライブ回路としてのNチャンネルMOSトランジスタ35-1、35-3から構成される。選択されたロウでは、ロウデコーダRD_iの出力信号がVCCになるため、NチャンネルMOSトランジスタ35-1、35-3がオン状態となる。よって、信号生成回路27で生成された信号S

S、GSがセレクトゲート線SSL_i、GSL_iに供給される。

【0370】メインコントロールゲートドライバ37は、デコード回路39、昇圧回路34及びドライブ回路としてのNチャンネルMOSトランジスタ35-2から構成される。

【0371】選択されたロウとこれに隣接するロウに共通に設けられたメインコントロールゲートドライバ37では、デコード回路39の出力信号がVCCになる。また、動作モードに応じて、昇圧回路が動作状態又は非動作状態となり、NチャンネルMOSトランジスタ35-2のゲートに電源電位VCC又は昇圧電位が印加される。

【0372】例えば、データ書き込み時、選択されたロウとこれに隣接するロウに共通に設けられたメインコントロールゲートドライバ37では、昇圧回路34の出力電位VBが昇圧電位Vprogとなり、NチャンネルMOSトランジスタ35-2がオン状態になる。一方、信号生成回路27で生成されたCG(=Vprog)がNチャンネルMOSトランジスタ35-2を経由して、選択ロウとこれに隣接するロウのメインコントロールゲート線CGL_i、CGL_{i+1}に伝達される。

【0373】また、データ消去時、選択されたロウとこれに隣接するロウに共通に設けられたメインコントロールゲートドライバ37では、昇圧回路34の出力電位VBが電源電位VCCとなり、NチャンネルMOSトランジスタ35-2がオン状態になる。一方、信号生成回路27で生成されたCG(=0V)がNチャンネルMOSトランジスタ35-2を経由して、選択ロウとこれに隣接するロウのメインコントロールゲート線CGL_i、CGL_{i+1}に伝達される。

【0374】また、データ書き込み時、選択されたロウとこれに隣接するロウに共通に設けられたメインコントロールゲートドライバ37では、昇圧回路34の出力電位VBが電源電位VCCとなり、NチャンネルMOSトランジスタ35-2がオン状態になる。一方、信号生成回路27で生成されたCG(=0V又はVCC)がNチャンネルMOSトランジスタ35-2を経由して、選択ロウとこれに隣接するロウのメインコントロールゲート線CGL_i、CGL_{i+1}に伝達される。

【0375】なお、互いに隣接する2つの非選択ロウに共通に設けられたメインコントロールゲートドライバ37では、昇圧回路34の出力信号VBが接地電位となり、この接地電位がNチャンネルMOSトランジスタ35-2のゲートに印加される。よって、NチャンネルMOSトランジスタ35-2は、オフ状態となる。

【0376】図43は、互いに隣接する2つのロウ内に配置される複数のブロックとサブコントロールゲートドライバの構成の一例を示している。

【0377】本例では、図40の回路ブロックに対応させ、1ロウ内に4つのブロックが配置される場合につい

て説明する。

【0378】各ブロックBLK_{i-j}、BLK_{(i+1)-j}内には、それぞれサブコントロールゲート線CGL_{i-j}、CGL_{(i+1)-j}が配置される(j=0, 1, 2, 3)。サブコントロールゲート線CGL_{i-j}は、それぞれブロックBLK_{i-j}内に配置される1バイトの正数倍(例えば、16バイト)のメモリセルに接続され、サブコントロールゲート線CGL_{(i+1)-j}は、それぞれブロックBLK_{(i+1)-j}内に配置される1バイトの正数倍(例えば、16バイト)のメモリセルに接続される。

【0379】サブコントロールゲート線CGL_{i-j}は、それぞれサブコントロールゲートドライバ28を構成するドライブ回路としてのNチャンネルMOSトランジスタ36-jを経由して、メインコントロールゲート線CGL_iに接続される。サブコントロールゲート線CGL_{(i+1)-j}は、それぞれサブコントロールゲートドライバ28を構成するドライブ回路としてのNチャンネルMOSトランジスタ40-jを経由して、メインコントロールゲート線CGL_{i+1}に接続される。

【0380】NチャンネルMOSトランジスタ36-j、40-jのオン/オフは、サブデコーダ29により制御される。サブデコーダ29は、1つのNチャンネルMOSトランジスタ36-j(1つのブロック)を選択する機能を有している。例えば、ブロックBLK_{i-1}を選択する場合には、NチャンネルMOSトランジスタ36-1をオン状態にする。この時、メインコントロールゲート線CGL_iとサブコントロールゲート線CGL_{i-1}が電気的に接続される。

【0381】なお、サブデコーダ29に、1ロウ内の複数又は全てのNチャンネルMOSトランジスタを選択する機能を持たせてもよい。

【0382】本発明のEEPROMにおいても、メモリセルアレイをロウ方向及びカラム方向に行列状に配置された複数のブロックから構成し、ブロック単位でデータの読み出し、消去、書き込みができるようになっている。このため、本発明においても、図32及び図33のバイト単位のデータ書き換え動作が適用できる。つまり、バイト単位のデータ書き換えを行うに当たって、選択ロウ内の1ページ分のデータを読み出すことなく、選択ロウ内の選択ブロックのデータ(1バイトの正数倍のデータ)のみを読み出すことができる。

【0383】よって、データ書き換えを行わないメモリセルに対する不要な読み出し、消去、書き込み動作をなくことができ、実質的なページ書き換え特性(書き換え回数)を向上させることができる。

【0384】また、本発明では、1つのメインコントロールゲートドライバ(昇圧回路を含む)を互いに隣接する複数(例えば、2つ)のロウに共通に使用するようにしている。従って、大きなサイズを有するメインコン

ロールゲートドライバのカラム方向の幅を1ロウの幅よりも大きくすることができ、回路設計時に、メインコントロールゲートドライバのレイアウトを容易に行うことができる。

【0385】また、書き込み時、選択ロウのメインコントロールゲート線に高電位V_{prog}が印加され、セレクトゲート線には電源電位V_{CC}が印加されるため、高電位V_{prog}を出力しなければならないメインコントロールゲートドライバのみを複数のロウに共通に配置し、セレクトゲートドライバについては、1ロウごとに

配置する。
【0386】この場合、例えば、書き込み時に、2本のメインコントロールゲート線に高電位V_{prog}が印加されるが、この高電位V_{prog}は、サブデコーダにより選択された選択ブロック内のサブコントロールゲート線のみに伝達されるため、動作上の問題は全くない。

【0387】図44は、サブデコーダの配置例を示している。

【0388】本発明では、メモリセルアレイ11の1ページ分のメモリセルを複数に分け、ロウ方向に複数のブロックBLK_{i-j}を設けるようにしている。また、ロウ方向のブロックBLK_{i-j}の間には、サブコントロールゲートドライバ28が配置される。また、センスアンプ回路13は、ロウ方向に配置されるブロックBLK_{i-j}に対応して設けられる。

【0389】よって、センスアンプ回路13の間であってサブコントロールゲートドライバ28に対応する箇所には、スペースが形成される。本例では、このスペースにサブデコーダ29を配置する。

【0390】本例のように、サブデコーダ29をサブコントロールゲートドライバ28に対応させて複数箇所に配置する場合は、サブデコーダ29を1箇所にまとめて配置する場合に比べてチップ上のスペースを有効に使うことができ、チップサイズの縮小などに貢献できる。

【0391】図45乃至図47は、本発明が適用可能なEEPROMの例を示している。

【0392】図45の例では、メモリセルアレイのカラム方向の両端に、ラッチ機能を持つセンスアンプ回路13A、13B、カラム選択回路15A、15B及びデータ入出力バッファ18A、18Bをそれぞれ配置している。本例では、メモリセルアレイを、3トラセル部(図26参照)11-0とNANDセル部11-1から構成する。勿論、メモリセルアレイは、3トラセル部のみから構成してもよい。

【0393】本例によれば、メモリセルアレイのカラム方向の両端に、センスアンプ回路などの読み出しや書き込み動作のための回路を配置するため、これら回路のレイアウトが容易になり、回路設計時の負担を軽減できる。

【0394】図46の例では、メモリセルアレイを3ト

ラセル部11-0とNANDセル部11-1から構成し、3トラセル部11-0をセンスアンプ回路13側に配置し、3トラセル部11-0のメモリセルをキャッシュメモリとして使用している。

【0395】本例によれば、NANDセル部11-1のデータを一時的に3トラセル部(キャッシュメモリ)にブロック単位で保存しておくため、データの高速読み出しが可能となる。

【0396】図47の例では、1チップ41内に複数のメモリ回路42a、42bを配置している。各メモリ回路42a、42bは、互いに独立して、読み出し動作、書き込み動作及び消去動作を行うことができる。よって、例えば、メモリ回路42aが読み出し動作を行っている最中に、メモリ回路42bでは、書き込み動作を行うこともできる。メモリ回路42a、42bの少なくとも一方には、本発明のEEPROMが使用される。

【0397】本例によれば、2つの異なる動作を同時に行うことができるため、データ処理が効率よく行える。

【0398】ところで、いままで説明してきた発明では、スタックゲート構造を有する一つのメモリセルとその両端に一つずつ接続された二つのセレクトトランジスタとからなるセルユニットを主要な構成要素としてきた。

【0399】このようなセルユニットによれば、バイト(又はページ)単位のデータ書き換えを始めとする数々の特徴が得られることは、上述した通りである。

【0400】しかし、セルユニットを3つのトランジスタ(メモリセルは一つのみ)から構成する場合、メモリセル一つ当たりのセルサイズが通常のNAND型フラッシュEEPROMよりも大きくなるため、メモリセルの高集積化によるメモリ容量の増大には必ずしも有利といえない。

【0401】そこで、以下の発明では、バイト(又はページ)単位のデータ書き換えを維持しつつ、メモリセル一つ当たりのセルサイズを小さくすることができる新規なセルユニット構造又はデータ書き込み手法について説明する。

【0402】まず、従来のNAND型フラッシュEEPROMについて検討する。

【0403】従来のNAND型フラッシュEEPROMは、例えば、一つのメモリセルユニット内に16個の直列接続されたメモリセルを配置するため、メモリセル一つ当たりのセルサイズを縮小するには最も適した構造を有している。

【0404】しかし、このような構造にすると、セルサイズの縮小という特徴が得られる反面、バイト(又はページ)単位のデータ書き換えという特徴が失われる。

【0405】そこで、従来のNAND型フラッシュEEPROMでは、何故、バイト(又はページ)単位のデータ書き換えができなかったのかについて述べる。

【0406】NAND型フラッシュEEPROMでバイト（又はページ）単位でのデータ書き換えができない理由を理解するためには、まず、NAND型フラッシュEEPROMのデータ書き換え動作を理解することが必要である。

【0407】NAND型フラッシュEEPROMのデータ書き換え動作は、ブロック単位で行われる。

【0408】まず、選択ブロック内のNANDセルユニットの全メモリセルに対して、データの一括消去（フローティングゲートから電子を抜き、閾値を下げる動作）10
を行う。この後、例えば、選択ブロック内のNANDセルユニットのソース側のメモリセルからドレイン側のメモリセルに向かって、順次、ページ単位でデータ書き込みが実行される。

【0409】具体的なデータ書き込み動作を図48及び図49を参照して説明する。本例では、コントロールゲート線CGL1に接続されるメモリセルについてデータ書き込みを行うものとする。

【0410】まず、ソース側（ソース線側）のセレクトゲート線GSLに0Vを与え、ソース側のセレクトトランジスタをカットオフ状態にする。また、ドレイン側（ビット線側）のセレクトゲート線SSLに電源電位VCCを与え、ドレイン側のセレクトトランジスタをオン状態にする。

【0411】また、“0”書き込み（フローティングゲートに電子を注入し、閾値を上げる動作）を行うメモリセルM1が接続されるビット線の電位を0Vとし、“1”書き込み（消去状態を維持する動作）を行うメモリセルM2が接続されるビット線の電位を電源電位VCCとする。

【0412】この時、“0”書き込みを行うメモリセルM1を含むNANDセルユニット内の全メモリセルのチャネルの電位が0Vとなり、“1”書き込みを行うメモリセルM2を含むNANDセルユニット内の全メモリセルのチャネルの電位がVCC-Vth（Vthは、セレクトトランジスタの閾値電圧）に予備充電される。この後、“1”書き込みを行うメモリセルM2を含むNANDセルユニット内のドレイン側（ビット線側）のセレクトトランジスタは、カットオフ状態となる。

【0413】この後、コントロールゲート線（選択）CGL1の電位が、0Vから電源電位VCC（例えば、3.3V）、電源電位VCCから書き込み電位Vprog（例えば、18V）と上昇する。また、コントロールゲート線（非選択）CGL0、CGL2、…CGL15の電位が、0Vから電源電位VCC、電源電位VCCからVpass（VCC<Vpass（例えば、9V）<Vprog）と上昇する。

【0414】この時、“0”書き込みを行うメモリセルM1においては、チャネルの電位が0Vとなっているため、フローティングゲートとチャネルの間のトンネル絶

縁膜に高電圧が印加され、電子がチャネルからフローティングゲートへ移動する。一方、“1”書き込みを行うメモリセルM2では、チャネルがフローティングとなっているため、容量カップリングにより、チャネルの電位がVchに上昇する。よって、“1”書き込みを行うメモリセルM1においては、フローティングゲートとチャネルの間のトンネル絶縁膜に高電圧が印加されず、消去状態が維持される。

【0415】ここで、選択ブロック内の非選択コントロールゲート線CGL0、CGL2、…CGL15に与えるVpassについて検討する。

【0416】メモリセルM2に対する“1”書き込みは、データ書き込み時に、メモリセルM2のフローティングゲートに対する電子の注入を抑え、メモリセルM2が消去状態を維持することで達成される。メモリセルM2が消去状態を維持するためには、データ書き込み時に、メモリセルM2を含むNANDセルユニット内の各メモリセルのチャネル電位を容量カップリングにより十分に高くし、メモリセルM2のフローティングゲートとチャネルの間のトンネル絶縁膜に印加される電圧を緩和すればよい。

【0417】ところで、メモリセルM2を含むNANDセルユニット内の各メモリセルのチャネル電位は、非選択コントロールゲート線CGL0、CGL2、…CGL15に与えるVpassに依存する。よって、Vpassを高くすればするほど、メモリセルM2を含むNANDセルユニット内の各メモリセルのチャネル電位が高くなり、メモリセルM2に対する誤書き込みが防止される。

30 【0418】しかし、Vpassを高くすると、“0”書き込みを行うメモリセルM1を含むNANDセルユニット内の非選択メモリセルM3に対して誤書き込みが生じ易くなる。

【0419】即ち、メモリセルM1を含むNANDセルユニット内の各メモリセルのチャネル電位は、0Vに維持されている。このため、Vpassが書き込み電位Vprogに近くなると、非選択メモリセルM3に対しても“0”書き込みが行われてしまう。よって、メモリセルM1を含むNANDセルユニット内の非選択メモリセルに対して誤書き込みを防止するためには、Vpassをできるだけ低くする必要がある。

【0420】このように、選択ブロック内の非選択コントロールゲート線CGL0、CGL2、…CGL15に与えるVpassは、高すぎても又は低すぎてもだめであり、“1”書き込みを行う選択メモリセルM2や非選択メモリセルM3に対して“0”書き込みが行われないような最適値、例えば、VCC<Vpass（例えば、9V）<Vprogに設定されている。

【0421】以上、NAND型フラッシュEEPROMのデータ書き換え動作について詳細に説明した。そこ

で、以下では、NAND型フラッシュEEPROMのデータ書き換え動作が、何故、バイト（又はページ）単位で行われないのかについて説明する。

【0422】仮に、NAND型フラッシュEEPROMにおいて、データ書き換え動作をバイト（又はページ）単位で行ったとする。

【0423】この場合、同一のコントロールゲート線、例えば、コントロールゲート線CGL1が何度も繰り返して選択され、このコントロールゲート線CGL1に接続されるメモリセルについてのみ、何度も繰り返してデータ書き換えが行われることも考えられる。このような状況では、コントロールゲート線CGL1に接続されるメモリセルのデータを消去する動作と、コントロールゲート線CGL1に接続されるメモリセルに対してデータを書き込む動作が繰り返し行われることになる。

【0424】しかし、この時、選択ブロック内の非選択メモリセルのコントロールゲートには、データ書き込み時にVpassが何度も繰り返して印加される。

【0425】従って、NAND型フラッシュEEPROMにおいて、バイト（又はページ）単位のデータ書き換え動作を何度も繰り返す行くと、選択ブロック内の非選択メモリセルの閾値がVpassによって次第に上昇し（フローティングゲートに徐々に電子が注入され）、誤書き込みが発生する可能性がある。

【0426】この可能性をなくすためには、Vpassを低くするか又はブロック単位の書き換えに変更する必要がある。

【0427】しかし、Vpassは、上述のように、1回のデータ書き込み動作において、“1”書き込みを行う選択メモリセルや、“0”書き込みを行うメモリセルと同じセルユニット内の非選択メモリセルに対して、“0”書き込み（誤書き込み）が行われないような最適値に設定されており、これを、さらに低くすることは事実上不可能である。

【0428】よって、結果として、NAND型フラッシュEEPROMでは、バイト（又はページ）単位のデータ書き換えが不可能となり、ブロック単位でのデータ書き換えを行っている。

【0429】以下では、NAND型フラッシュEEPROMのように、メモリセル一つ当たりのセルサイズを小さくできると共に、バイト（又はページ）単位のデータ書き換えについては、Vpassを低くすることにより達成できるような新規なセルユニット構造又はデータ書き込み手法について説明する。

【0430】図50は、本発明のバイト型EEPROMのメモリセルユニットを示している。図51は、図50のメモリセルの等価回路を示している。

【0431】メモリセルMC1、MC2は、コントロールゲートとフローティングゲートを有し、フラッシュEEPROMのメモリセルと同じ構造となっている。メモ

リセルMC1、MC2は、互いに直列接続され、その両端には、それぞれ1つずつセレクトトランジスタST1、ST2が接続されている。セレクトトランジスタST1は、ビット線コンタクト部BCを經由してビット線に接続され、セレクトトランジスタST2は、ソース線SLに接続される。

【0432】メモリセルMC1、MC2及びセレクトトランジスタST1、ST2により1つのメモリセルユニットが構成され、メモリセルアレイは、複数のメモリセルユニットがアレイ状に配置されることにより実現される。

【0433】本発明のメモリセルユニットは、NAND型フラッシュEEPROMにおいて1つのNANDユニット内のメモリセルを2つにしたもの（2NANDセル）と考えることができる。

【0434】但し、本発明では、メモリセルユニット内のメモリセルの数は、2個に限定されるものではなく、例えば、後述する条件を満たす限り、複数（3個、4個、5個など）に設定することができる。場合によっては、メモリセルユニット内のメモリセルの数を、従来のNAND型フラッシュEEPROMと同じ16個に設定してもよい。

【0435】本発明のバイト型EEPROMの構造面での長所について説明する。

【0436】本発明のバイト型EEPROMのメモリセル部の構造は、NAND型フラッシュEEPROMのメモリセル部の構造と同じである。但し、通常は、本発明のバイト型EEPROMのセルユニット内のメモリセルの数は、NAND型フラッシュEEPROMのセルユニット内のメモリセルの数（例えば、16個）よりも少なくなる。

【0437】よって、本発明のバイト型EEPROMでは、NAND型フラッシュEEPROMのプロセスをそのまま採用できるため、バイト単位の消去が可能（これについては、後述する。）であるにもかかわらず、記憶容量を増大でき、かつ、生産コストも低減できる。

【0438】例えば、本発明において、セルユニット内のメモリセルの数を2個にした場合について検討する。

【0439】本発明では、デザインルールを0.4[μm]とした場合、2個のメモリセルの短辺長aが1.2[μm]、長辺長bが3.96[μm]であるため、メモリセル1個当たりの面積（[短辺長a×長辺長b]÷2）は、2.376[μm²]となる。一方、セルユニットが16個のメモリセルからなるNAND型フラッシュEEPROM（16NANDセル）では、デザインルールを0.4[μm]とした場合、メモリセル1個当たりの面積は、1.095[μm²]となる。

【0440】つまり、本発明のメモリセルユニット（2NANDセル）を採用した場合、メモリセル1個当たりの面積は、16NANDセルのメモリセル1個当たりの

10

20

30

40

50

面積の約2倍で済むことになる。

【0441】また、図65及び図66に示すような従来のバイト型EEPROMでは、デザインルールを0.4 μm とした場合、メモリセル1個当たりの面積は、36 μm^2 となる。また、1個のメモリセルを2個のセレクトトランジスタで挟み込んだセルユニット（3トラセル又は1NANDセル）を採用する場合、デザインルールを0.4 μm とすると、メモリセル1個当たりの面積は、3.84 μm^2 となる。 *

デザインルール0.4 μm			
16NANDセル	2NANDセル	1NANDセル (3トラセル)	NOR型
1.095 μm^2 (1)	2.376 μm^2 (2.17)	3.84 μm^2 (3.51)	1.82 μm^2 (1.66)
デザインルール0.25 μm			
16NANDセル	2NANDセル	1NANDセル (3トラセル)	NOR型
0.293 μm^2 (1)	0.712 μm^2 (2.43)	1.189 μm^2 (4.06)	0.54 μm^2 (1.84)

【0445】この表からも明らかなように、本発明のメモリセルユニット（2NANDセル）のメモリセル1個当たりの面積は、NAND型フラッシュEEPROM（16NANDセル）には及ばないが、1NANDセル（3トラセル）の約60%で済むようになる。

【0446】よって、本発明のセルユニット構造によれば、メモリセル面積の縮小により、バイト型EEPROMのメモリ容量の増大、チップ面積の縮小、製造コストの低下などに貢献することができる。

【0447】また、本発明のバイト型EEPROMは、NAND型フラッシュEEPROMと同一のプロセスで製造可能であるため、ロジック混載不揮発性メモリへの応用も容易である。

【0448】また、本発明のバイト型EEPROMのメモリセルは、NAND型フラッシュEEPROMのメモリセルと同じ構造であるため、1つのメモリセルについて見れば、フラッシュEEPROMの書き換え方式、即ち、FNTトンネル現象を利用した書き換え方式をそのまま採用できる。よって、製造コストの低下に加えて、開発コストの削減も可能である。

【0449】ところで、本発明のセルユニット構造によれば、2個のセレクトトランジスタの間に複数（例えば、2個、3個、…）のメモリセルが接続される。よって、NAND型フラッシュEEPROMと同様に、バイト（又はページ）単位のデータ書き換えを繰り返して行う場合に、コントロールゲートにVpassが印加される選択ブロック内の非選択メモリセルに対する誤書き込みの問題が生じる。

【0450】この問題に対しては、以下のようにして解決する。NAND型フラッシュEEPROMでは、Vp

*【0442】つまり、本発明のメモリセルユニット（2NANDセル）のメモリセル1個当たりの面積は、従来のバイト型EEPROMや1NANDセルよりも小さくすることができる。

【0443】表5は、メモリセルユニットの構造に応じたメモリセル1個当たりの面積を比較して示している。

【0444】

【表5】

assは、1回の書き込み動作において、“1”書き込みを行う（消去状態を維持する）メモリセルや、“0”書き込みを行うメモリセルと同一のセルユニット内の非選択メモリセルに対して、“0”書き込み（誤書き込み）が生じないことを条件に、最適値に設定されている。

【0451】また、この最適値は、電源電位VCCや、読み出し時に非選択メモリセルのコントロールゲートに与える電位Vreadなどとは全く無関係に決められており、通常は、VCC（例えば、3.3V）<Vpass（例えば、9V）<Vprog（例えば、18V）に設定されていた。

【0452】本発明では、Vpassを、電源電位VCC（例えば、3.3V）又は読み出し時に非選択メモリセルのコントロールゲートに与える電位Vread（例えば、4.5V）に設定する。

【0453】これらVCC及びVreadは、NAND型フラッシュEEPROMで使用するVpassの値（例えば、9V）よりも低くなっている。

【0454】つまり、本発明では、Vpassを、電源電位VCC又は読み出し時に非選択メモリセルのコントロールゲートに与える電位Vreadに設定すること、即ち、NAND型フラッシュEEPROMで使用するVpassの値よりも低くすることにより、バイト（又はページ）単位のデータ書き換えを繰り返して行う場合における選択ブロック内の非選択メモリセルの誤書き込みの問題を防ぐ。

【0455】また、本発明では、Vpassを、VCC又はVreadに設定することにより、Vpassを生成する回路を新たに設ける必要がないため、コントロー

ルゲートドライバの構成が簡略化され、コントロールゲートドライバの縮小、レイアウトの容易化、設計及び開発期間の短縮などの効果を得ることができる。

【0456】一方、本発明では、Vpassを、電源電位VCC又は読み出し時に非選択メモリセルのコントロールゲートに与える電位Vreadに設定しているため、1回のデータ書き込み動作において、“1”書き込みを行う（消去状態を維持する）メモリセルのチャネル電位が十分に上がらなくなるのではないかと疑問が生じる。

【0457】そこで、本発明では、“1”書き込みを行うメモリセルのチャネル電位が十分に上がるように、セルユニット内のメモリセルの数、“1”書き込みを行うメモリセルのチャネルの初期電位、メモリセルのコントロールゲートとチャネルのカップリング比を設定する。

【0458】例えば、“1”書き込みを行うメモリセルのチャネルの初期電位と、メモリセルのコントロールゲートとチャネルのカップリング比を、NAND型フラッシュEEPROMと同じと仮定した場合には、図50及び図51に示すように、セルユニット内のメモリセルの数を2個とすれば、“1”書き込みを行うメモリセルのチャネル電位を、NAND型フラッシュEEPROMと同じ程度に上げることができる（この点については、後に述べるデータ書き込み動作の説明において詳細に説明する。）。

【0459】このように、本発明では、第一に、NAND型フラッシュEEPROMと全く同じセルユニット構造を有しているため、セルサイズの縮小、メモリ容量の増大、コストの低下などを達成することができる。

【0460】第二に、データ書き込み時に選択ブロック内の非選択コントロールゲート線に印加する電位Vpassを、電源電位VCC又は読み出し時に非選択コントロールゲート線に与える電位Vreadに設定している。よって、選択ブロック内の非選択メモリセルの誤書き込みの問題を防ぐことができ、バイト（又はページ）単位のデータ書き換えが可能になる。

【0461】第三に、Vpassを、VCC又はVreadに設定しても、“1”書き込みを行うメモリセルのチャネル電位が十分に上がるように、セルユニット内のメモリセルの数、“1”書き込みを行うメモリセルのチャネルの初期電位、メモリセルのコントロールゲートとチャネルのカップリング比を、適当な値に設定している。“1”書き込みを行うメモリセルに対する誤書き込みも防止できる。

【0462】以下、本発明のバイト型EEPROMの消去動作、書き込み動作及び読み出し動作について順次説明する。

【0463】・ 消去動作

図52に示すように、選択ブロック内の選択コントロールゲート線（ワード線）CGL11には接地電位VSS

が印加され、選択ブロック内の非選択コントロールゲート線（ワード線）CGL12は、フローティング状態になる。また、選択ブロック内のセレクトゲート線SSL1、GSL1並びに非選択ブロック内のコントロールゲート線（ワード線）CGL21、CGL22及びセレクトゲート線SSL2、GSL2も、フローティング状態になる。

【0464】この後、例えば、21[V]、3[ms]の消去パルスがバルク（セルPウェル）に印加される。この時、選択ブロック内の選択コントロールゲート線CGL11に接続されるメモリセルでは、バルクとコントロールゲート線の間に消去電圧（21[V]）が加わり、フローティングゲート中の電子がFN（Fowler-Nordheim）トンネル現象によりバルクに移動する。

【0465】その結果、選択ブロック内の選択コントロールゲート線CGL11に接続されるメモリセルの閾値電圧は、-3[V]程度となる。ここで、選択メモリセルについては、1回の消去パルスにより、その閾値電圧が-3[V]程度となるように消去される。

【0466】一方、選択ブロック内の非選択コントロールゲート線CGL12及び非選択ブロック内のコントロールゲート線CGL21、CGL22は、フローティング状態に設定されている。

【0467】よって、例えば、21[V]、3[ms]の消去パルスがバルク（セルPウェル）に印加されると、フローティング状態のコントロールゲート線とバルクとの容量カップリングにより、コントロールゲート線CGL12、CGL21、CGL22の電位も上昇する。

【0468】ここで、コントロールゲート線CGL12、CGL21、CGL22とバルクのカップリング比について検討すると、コントロールゲート線CGL12、CGL21、CGL22には、ドライブ回路（MOSトランジスタのソース）、このドライブ回路とコントロールゲート線（ポリシリコン層）を接続する金属配線、コントロールゲート線を構成するシリサイドなどが接続されている。

【0469】カップリング比は、フローティング状態のコントロールゲート線CGL12、CGL21、CGL22に寄生する容量に依存する。この容量には、ドライブ回路としてのMOSトランジスタのソース接合容量、ソースとゲートのオーバーラップ容量、フィールド領域におけるポリシリコン層と金属配線の容量、コントロールゲート線とバルク（セルPウェル）の容量などが含まれる。

【0470】しかし、コントロールゲート線CGL12、CGL21、CGL22に寄生する容量の大部分は、コントロールゲート線とバルク（セルPウェル）の容量により占められている。

10

20

30

40

50

【0471】つまり、コントロールゲート線CGL12, CGL21, CGL22とバルクのカップリング比は、大きな値、例えば、0.9となっており、バルクの電位が上昇すると、コントロールゲート線CGL12, CGL21, CGL22の電位も上昇する。

【0472】よって、選択ブロック内の非選択コントロールゲート線CGL12に接続されるメモリセルと非選択ブロック内のコントロールゲート線CGL21, CGL22に接続されるメモリセルでは、FNTトンネル現象の発生を防止できる。以上により、消去動作が完了する。

【0473】なお、消去動作後には、例えば、選択ブロック内の選択コントロールゲート線CGL11に接続される全てのメモリセルの閾値電圧が-1[V]未満になったか否かを検証する消去ベリファイ動作が行われる。

【0474】・書き込み動作

図53に示すように、コントロールゲート線CGL1に接続されるメモリセルに対して書き込みを実行する場合について説明する。なお、これら書き込みを行うメモリセルは、全て消去状態にあるものとする。

【0475】まず、選択ブロック内のソース側のセレクトゲート線SSLが接地電位VSSとなり、ドレイン側のセレクトゲート線SSLが電源電位VCCとなる。その結果、ソース側のセレクトトランジスタST21, ST22は、カットオフ状態となり、ドレイン側のセレクトトランジスタST11, ST12は、オン状態となる。

【0476】また、“0”書き込みを行うメモリセルMC11が接続されるビット線BLの電位をVSSに設定し、“1”書き込みを行うメモリセル（書き込み禁止セル）MC12が接続されるビット線BLの電位をVCCに設定する。また、コントロールゲート線CGL1, CGL2の電位を接地電位VSSに設定する。この時、メモリセルMC11, MC21のチャンネル電位は、接地電位VSSとなり、メモリセルMC12, MC22のチャンネルは、VCC-Vth（Vthは、セレクトトランジスタST12の閾値電圧）に予備充電される。

【0477】この後、コントロールゲート線CGL1, CGL2の電位が電源電位VCC（例えば、3.3V）又は読み出し時に非選択コントロールゲート線に与える電位Vread（例えば、4.5V）に設定される。さらに、選択コントロールゲート線CGL1の電位は、VCC又はVreadから、書き込み電位Vprog（例えば、18V）に上昇する。

【0478】この時、選択メモリセルMC11では、チャンネル（=VSS）とコントロールゲート線CGL1（=Vprog）の間に大きな電位差が生じるため、FNTトンネル現象により、電子がチャンネルからフローティングゲートに注入される。これにより、選択メモリセルMC11に対する“0”書き込みが完了する。

【0479】また、コントロールゲート線に高電位を与える前、即ち、チャンネル昇圧前の選択メモリセルMC12のチャンネルの初期電位は、VCC-Vthに設定され、かつ、フローティング状態になっている。よって、この後、選択コントロールゲート線CGL1の電位がVprog、非選択コントロールゲート線CGL2の電位がVCC又はVreadになると、選択メモリセルMC12のチャンネル電位も、容量カップリングにより自動的に上昇する。

【0480】つまり、選択メモリセルMC12では、チャンネル（=Vch）とコントロールゲート線CGL1（=Vprog）の間の電位差が小さくなり、FNTトンネル現象によるフローティングゲートへの電子の注入が抑えられる。これにより、選択メモリセルMC12に対する“1”書き込みが完了する。

【0481】ところで、選択メモリセル（書き込み禁止セル）MC12に対して“1”書き込みを実行するには、選択メモリセルMC12のチャンネル電位（書き込み禁止電位）Vchを十分に上げ、誤書き込み（“0”書き込み）が生じないようにする必要がある。

【0482】チャンネル昇圧後のメモリセルMC12のチャンネル電位Vchは、主として、チャンネル昇圧前のメモリセルMC12のチャンネルの初期電位、メモリセルMC12, MC22のコントロールゲートとチャンネルのカップリング比、及びセルユニット内のメモリセルの数（本例では、2個）により決定される。

【0483】よって、例えば、セルユニット内のメモリセルの数を固定した場合、メモリセルMC12のチャンネル電位Vchは、メモリセルMC12のチャンネルの初期電位及びメモリセルMC12, MC22のコントロールゲートとチャンネルのカップリング比を大きくすることにより、十分に上げることができる。

【0484】メモリセルのコントロールゲートとチャンネルのカップリング比Bは、以下の式により算出される。

$$B = C_{ox} / (C_{ox} + C_j)$$
 ここで、Coxは、メモリセルのコントロールゲートとチャンネルの間のゲート容量の総和であり、Cjは、メモリセルのソース領域及びドレイン領域の接合容量の総和である。

【0485】また、メモリセルのチャンネル容量は、近似的には、CoxとCjの合計で表すことができる。つまり、メモリセルのチャンネル容量には、Cox及びCjの他に、コントロールゲートとソース領域のオーバーラップ容量、ビット線とソース領域の間の容量、ビット線とドレイン領域の間の容量などが含まれるが、これらの容量は、CoxやCjに比べて非常に小さいため、無視できる。

【0486】次に、本発明のバイト型EEPROMと従来のNAND型フラッシュEEPROMに関して、

“1”書き込みを行うメモリセルのチャンネル電位（書き

込み禁止電位)がどの位の値になるかについて具体的に検討する。

【0487】本発明のバイト型EEPROMとしては、例えば、図50及び図51に示すように、1つのセルユニット内に2つのメモリセルが配置された構造とする。

【0488】この場合、チャネル電位 V_{ch} は、
$$V_{ch} = V_{ini} + (V_{prog} - V_{CC}) \times B + (V_{pass} - V_{CC}) \times B$$

$$B = C_{ox} / (2 \times C_{ox} + 3 \times C_j)$$

(注: メモリセルが2のとき、拡散層(ソース/ドレイン)は3)となる。

【0489】ここで、 $C_{ox} = C_j = 1$ とすると、カップリング比 B は、0.2となる。また、本発明では、 $V_{pass} = V_{CC}$ である。また、電源電位 V_{CC} を3[V]、チャネルの初期電位 V_{ini} を2[V]、書き込み電位 V_{prog} を16[V]とすると、チャネル電位 V_{ch} は、

$$V_{ch} = 2 + (16 - 3) \times 0.2 = 4.6$$
 [V]

となる。

【0490】一方、NAND型フラッシュEEPROMのチャネル電位 V_{ch} は、

$$V_{ch} = V_{ini} + (15/16) \times (V_{pass} - V_{CC}) \times B + (1/16) \times (V_{prog} - V_{CC}) \times B$$

$$B = 16 \times C_{ox} / (16 \times C_{ox} + 17 \times C_j)$$

(注: メモリセルが16のとき、拡散層(ソース/ドレイン)は17)

となる。

【0491】ここで、NAND型フラッシュEEPROMのセルユニットは、直列接続された16個のメモリセルからなり、1個のメモリセルに V_{prog} 、残りの15個のメモリセルに V_{pass} が印加されるものとする。

【0492】また、 $C_{ox} = C_j = 1$ とすると、カップリング比 B は、0.48となる。また、電源電位 V_{CC} を3[V]、チャネルの初期電位 V_{ini} を2[V]、書き込み電位 V_{prog} を16[V]、 V_{pass} を8[V]とすると、チャネル電位 V_{ch} は、

$$V_{ch} = 2 + (15/16) \times (8 - 3) \times 0.48 + (1/16) \times (16 - 3) \times 0.48 = 4.64$$
 [V]

となる。

【0493】このように、本発明のバイト型EEPROMにおいては、例えば、 V_{pass} を電源電位 V_{CC} (又は V_{read})にしても、セルユニット内のメモリセルの数を2個とすることにより、NAND型フラッシュEEPROMと同じ書き込み禁止電位("1"書き込みセルのチャネル電位)を得ることができる。

【0494】つまり、本発明では、 V_{pass} を V_{CC}

(又は V_{read})とすることにより、非選択コントロールゲート線に接続される非選択メモリセルのコントロールゲートとチャネルの間の電圧を緩和できるため、非選択メモリセルにおける誤書き込みなしに、バイト(又はページ)単位のデータ書き換えを繰り返し行うことが可能になる。

【0495】また、本発明では、 V_{pass} を V_{CC} (又は V_{read})にしても、NAND型フラッシュEEPROMと同じ書き込み禁止電位を得ることができるため、選択コントロールゲート線に接続される書き込み禁止セル("1"書き込みセル)に対する誤書き込みも防止できる。

【0496】・読み出し動作

図54に示すように、ビット線 BL をプリチャージ電位に充電した後、選択ブロック内の選択コントロールゲート線 $CG11$ には、0[V]を印加し、選択ブロック内の非選択コントロールゲート線 $CG12$ 及びセレクトゲート線 $SSL1$ 、 $GSL1$ には、それぞれ電源電位 V_{CC} (例えば、3.3V)又は読み出し電位 V_{read} (例えば、4.5V)を印加する。また、非選択ブロック内のコントロールゲート線 $CG21$ 、 $CG22$ 及びセレクトゲート線 $SSL2$ 、 $GSL2$ には、0[V]を印加する。

【0497】この時、選択ブロック内のセレクトトランジスタは、オン状態となり、非選択ブロック内のセレクトトランジスタは、オフ状態となる。また、選択ブロック内の非選択メモリセルは、データの値にかかわらず、オン状態となる(メモリセルの閾値分布は、図6を参照)。

【0498】また、選択ブロック内の選択メモリセルについては、データの値に応じて、オン又はオフ状態となる。

【0499】図55に示すように、選択メモリセルに"1"データが書き込まれている場合、即ち、選択メモリセルが消去状態の場合には、選択メモリセルの閾値電圧が負のディプレッション・モードとなっている。このため、この選択メモリセルには、セル電流が流れることになり、ビット線 BL の電位が下がる。

【0500】逆に、選択メモリセルに"0"データが書き込まれている場合には、選択メモリセルの閾値電圧が正のエンハンスメント・モードとなっている。このため、この選択メモリセルには、セル電流が流れず、ビット線 BL の電位は、プリチャージ電位に維持される。

【0501】このように、データ"0"、"1"の判断は、ビット線からソース線にセル電流が流れるか否かによって行う。ビット線の電位の変化は、センスアンプにより増幅(検知)される。

【0502】なお、データ"0"と"1"の区別は、例えば、メモリセルのフローティングゲートに負の電荷が蓄えられているか否かにより行う。即ち、フローティン

グゲートに負の電荷が蓄えられている場合には、そのメモリセルの閾値電圧は高くなり、メモリセルは、エンハンスメントタイプになる。一方、フローティングゲートに負の電荷が蓄えられていない場合には、そのメモリセルの閾値電圧は0[V]未満になり、メモリセルは、ディプレッションタイプになる。

【0503】表6は、上述の消去、書き込み、読み出し*

		消去	書き込み	読み出し
選択ブロック	ビット線側の セレクトゲート線 SSL	Vera×B	VCC	VCC 又はVread
	コントロールゲート線 CGL(非選択)	Vera×B	VCC 又はVread (NAND型 フラッシュ EEPROM ではVpass)	VCC 又はVread
	コントロールゲート線 CGL(選択)	0V	Vprog	0V
	ソース線側の セレクトゲート線 GSL	Vera×B	0V	VCC 又はVread
非選択ブロック	ビット線側の セレクトゲート線 SSL	Vera×B	0V	0V
	コントロールゲート線 CGL	Vera×B	0V	0V
	ソース線側の セレクトゲート線 GSL	Vera×B	0V	0V
ビット線	"1" データ	Vera-Vb	VCC	VBL→0V
	"0" データ	Vera-Vb	0V	VBL
	セルソース線	Vera-Vb	VCC	0V
	セルPウェル	Vera	0V	0V

【0505】消去動作においては、選択ブロック内の選択コントロールゲート線CGLは、0[V]に設定され、選択ブロック内の非選択コントロールゲート線CGL、非選択ブロック内のコントロールゲート線CGL及び全てのセレクトゲート線SSL、GSLは、フローティング状態に設定される。

【0506】この状態において、セルPウェルに消去電位Vera、例えば、21[V]が印加されると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択コントロールゲート線CGLの電位は、セルPウェルとの容量カップリングによって、Vera×β(βは、カップリング比)まで上昇する。

【0507】ここで、βを0.8とすると、フローティング状態の全てのセレクトゲート線SSL、GSLの電位と非選択コントロールゲート線CGLの電位は、1

*のそれぞれの動作におけるセレクトゲート線SSL、GSL、コントロールゲート線(ワード線)CGL、ビット線BLi、セルソース線SL、セルPウェルの電位を示している。

【0504】

【表6】

6.8[V]に上昇する。

【0508】消去動作時、ビット線BLi及びセルソース線SLに接続されるN⁺ 拡散層とセルPウェルとからなるpn接合は、順方向にバイアスされる。このため、ビット線BLi及びセルソース線SLは、Vera-Vbに充電される。なお、Vbは、pn接合のビルトイン・ポテンシャルである。

【0509】書き込み動作においては、“1”データを書き込む選択メモリセルに接続されるビット線BLi、即ち、消去状態を維持する選択メモリセルに接続されるビット線BLiは、電源電位(例えば、3.3[V])VCCに設定され、“0”データを書き込む選択メモリセルに接続されるビット線BLiは、0[V]に設定される。

【0510】選択ブロック内のビット線側のセレクトゲ

ート線SSLは、電源電位VCCに設定され、セルソース線側のセレクトゲート線GSLは、0[V]に設定され、非選択コントロールゲート線CGLは、VCC又はVread（例えば、4.5[V]）に設定され、選択コントロールゲート線CGLは、書き込み電位（例えば、18[V]）Vprogに設定される。

【0511】非選択ブロック内のセレクトゲート線SSL、GSL、コントロールゲート線CGL及びセルPウェルは、0[V]に設定される。

【0512】セルソース線は、0[V]に設定される。但し、選択ブロック内の“1”データを書き込むメモリセルのチャンネル電位が、コントロールゲート線CGLとの容量カップリングにより昇圧され、パンチスルーによりセルソース線のリーク電流が問題となる場合には、セルソース線の電位は、電源電位VCCに設定するのがよい。

【0513】読み出し動作においては、選択ブロック内のセレクトゲート線SSL、GSL及び非選択コントロールゲート線CGLは、電源電位VCC（例えば、3.3V）又は読み出し電位Vread（例えば、4.5V）に設定され、選択コントロールゲート線CGLは、0[V]に設定される。データ読み出し前にビット線をプリチャージする方式の場合、ビット線BLiは、プリチャージ電位（例えば、1.2[V]）VBLに設定される。

【0514】“1”データが記憶される選択メモリセルは、オン状態となるため、この選択メモリセルにセル電流が流れ、ビット線BLiは、0[V]に放電される。一方、“0”データが記憶される選択メモリセルは、オフ状態となるため、この選択メモリセルにはセル電流が流れず、ビット線BLiは、プリチャージ電位VBLを保持する。

【0515】図56は、本発明のバイト型EEPROMの回路ブロックの主要部を示している。

【0516】このEEPROMは、上述のように、例えば、2つのメモリセルを2つのセレクトトランジスタで挟み込んだ4素子から成るメモリセルユニットをマトリックス状に配置したメモリセルアレイ11、メモリセルアレイ11上においてロウ方向に複数本配置されたコントロールゲート線10a及びメモリセルアレイ11上においてカラム方向に複数本配置されたビット線10bを有している。

【0517】ロウデコーダ12は、ロウ、即ち、コントロールゲート線10aの選択を行う。選択されたコントロールゲート線10aに接続されるメモリセルのデータは、カラムごとに設けられたデータラッチ機能を持つセンスアンプから成るセンスアンプ回路13に入力される。カラムデコーダ14は、カラム、即ち、ビット線BLiの選択を行う。

【0518】選択されたカラムのセンスアンプのデータ

は、データ入出力バッファ18を経由してメモリチップの外部に出力される。メモリチップの内部に入力されるデータは、データ入出力バッファ18を経由して選択されたカラムのラッチ機能を持つセンスアンプにラッチされる。

【0519】昇圧回路16は、書き込み動作や消去動作に必要な高電圧を生成する。制御回路17は、メモリチップの内部の各回路の動作を制御すると共に、メモリチップの内部と外部のインターフェースをとる役割を果たす。制御回路17は、メモリセルに対する消去、書き込み、読み出しの各動作を制御するシーケンス制御手段（例えば、プログラマブルロジックアレイ）を含んでいる。

【0520】図57は、図56のメモリセルアレイ11の構成を示している。

【0521】本例では、メモリセルユニットは、直列接続された2個のメモリセルからなるNANDセルとその両端にそれぞれ1つずつ接続される2個のセレクトトランジスタとから構成される。メモリセルは、フローティングゲートとコントロールゲートが積み重ねられたいわゆるスタック構造のMOSFETから構成される。

【0522】ロウ方向の複数のメモリセルユニットにより1つのブロックが構成され、1本のコントロールゲート線CGLに接続される複数のメモリセルにより1ページが構成される。

【0523】なお、本発明では、消去、書き込み及び読み出しは、ページ単位で行える。また、本発明では、後述する書き換え手法を採用することで、バイト単位でのデータ書き換えも可能となっている。

【0524】図58は、図56のセンスアンプ回路13のうち1本のビット線BLiに接続されるラッチ機能を持つセンスアンプを示している。

【0525】センスアンプは、一方の出力が他方の入力となる2つのCMOSインバータI1、I2から成るラッチ回路21を主体とする。ラッチ回路21のラッチノードQは、カラム選択用のNMOSTランジスタM8を経由してI/O線に接続される。また、ラッチノードQは、センスアンプ遮断用のNMOSTランジスタM4とビット線電位クランプ用のNMOSTランジスタM1を経由してビット線BLiに接続される。

【0526】NMOSTランジスタM1、M4の接続ノードがセンスノードNsenseとなる。センスノードNsenseには、プリチャージ用のPMOSTランジスタM2とディスチャージ用のNMOSTランジスタM3が接続される。プリチャージ用のPMOSTランジスタM2は、プリチャージ制御信号Loadに基づいて所定期間にセンスノードNsenseの充電を行う。ディスチャージ用のNMOSTランジスタM3は、ディスチャージ制御信号DCBに基づいてセンスノードNsenseの電荷を放電する。

【0527】ラッチ回路21のラッチノードQbには、制御信号φL1に基づいてラッチノードQbを強制的に接地するためのリセット用NMOSトランジスタM5が接続される。ラッチ回路21のラッチノードQには、制御信号φL2に基づいてラッチノードQを強制的に接地するためのリセット用NMOSトランジスタM6が接続される。

【0528】リセット用NMOSトランジスタM5、M6の共通ソースは、センスノードNsenseの電位により制御されるセンス用NMOSトランジスタM7を経由して接地点に接続される。センス用NMOSトランジスタM7は、NMOSトランジスタM5、M6と共にラッチ回路21のリセット用としても用いられる。

【0529】図59は、本発明のバイト型EEPROMのバイト単位の書き換え動作の概略的なシーケンス制御を示すフローチャートである。

【0530】このシーケンス制御は、例えば、図56の制御回路17により行われる。このフローチャートに従って、簡単にバイト単位の書き換え動作について説明すると、以下ようになる。

【0531】バイト単位のデータ書き換えモードになると、まず、選択されたコントロールゲート線（ワード線）に接続されるメモリセルの1ページ分のデータがセンスアンプ回路に読み出される（ページ逆読み出し）。そして、センスアンプ回路には、この1ページ分のデータがラッチされる（ステップST1）。

【0532】次に、アドレスで指定されたカラムに対応するバイトデータがロードされる。このロードされたバイトデータは、センスアンプ回路にラッチされている1ページ分のデータのうちデータ書き換えを行うバイトデータに対して上書きされる（ステップST2）。

【0533】次に、選択されたコントロールゲート線に接続されるメモリセルの1ページ分のデータが同時に消去（ページ消去）される（ステップST3）。消去後には、選択されたコントロールゲート線に接続される各メモリセルに対して、消去が完全に行われたか、消去が行われ過ぎていないかを検証する消去ベリファイが行われる（ステップST4、5）。

【0534】そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ消去及び消去ベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（消去完了）となったときは、次の動作に移る（ステップST3～5）。

【0535】なお、ラッチ機能を持つセンスアンプ回路が1本のビット線に対して1つのみ存在する場合（1ページ分しかない場合）、消去ベリファイの結果によっては、センスアンプ回路のデータが破壊される可能性がある。よって、このような場合には、消去ベリファイを行わずに、消去を1回で終了させる。

【0536】この後、選択されたコントロールゲート線

に接続されるメモリセルに対して、センスアンプ回路にラッチされている1ページ分のデータが同時に書き込まれる（ステップST6）。書き込み後には、選択されたコントロールゲート線に接続される各メモリセルに対して、書き込みが完全に行われたか、書き込みが行われ過ぎていないかを検証する書き込みベリファイが行われる（ステップST7、8）。

【0537】そして、1ページ分の全てのメモリセルの閾値が所定範囲内となるまでページ書き込み及び書き込みベリファイが繰り返し行われ、1ページ分の全てのメモリセルの閾値が所定範囲内（書き込み完了）となったときは、バイト単位のデータ書き換え動作を終了させる。

【0538】なお、高い書き込み電位を用い、1回の書き込みパルスで1回の書き込みを行う場合には、書き込みベリファイを省略することもできる。

【0539】図60は、図59の主要ステップにおける選択メモリセルのデータとセンスアンプ回路のノードQb（図58）の状態を示している。

【0540】同図（a）は、選択されたコントロールゲート線（ワード線）に接続されるメモリセルの1ページ分のデータがセンスアンプ回路に読み出された状態を示している（ステップST1に対応）。

【0541】メモリセルのデータが“0”（閾値電圧が正）の場合、ビット線BLiの電荷は放電されず、ブリチャージ電位を維持する。よって、図58のセンスノードNsenseは電源電位VCCとなる。制御信号φL2を電源電位VCCとすると、ノードQは接地電位VSS、即ち、“0”となる。

【0542】逆に、メモリセルのデータが“1”（閾値電圧が負）の場合、ビット線BLiの電荷は放電される。よって、図58のセンスノードNsenseは接地電位VSSとなる。制御信号φL2を電源電位VCCとすると、ノードQは電源電位VCC、即ち、“1”となる。

【0543】同図（b）は、センスアンプ回路にラッチされた1ページ分のデータのうちアドレスで指定されたバイトデータ（8ビットデータ）に対して、データの上書きが行われた状態を示している（ステップST2に対応）。

【0544】同図（c）は、選択されたコントロールゲート線（ワード線）に接続されるメモリセルのデータを消去（ページ消去）した状態を示している（ステップST3に対応）。ページ消去により、選択されたコントロールゲート線に接続されるメモリセルのデータは、全て“1”となる。

【0545】同図（d）は、選択されたコントロールゲート線（ワード線）に接続されるメモリセルに対して、センスアンプ回路にラッチされた1ページ分のデータを

書き込み（ページ書き込み）した状態を示している（ス

チップST6に対応)。

【0546】このように、メモリセルアレイ11に対しては、動作上は、ページ単位でのデータ書き換えとなっているが、実際は、バイト単位でのデータの書き換えが行われたことになる。

【0547】次に、図61乃至図63のタイミングチャートを参照しながら、ページ書き込み、書き込みベリファイのための読み出し動作を、図58のセンスアンプ回路の動作を中心にして詳細に説明する。なお、図61乃至図63は、1つのタイミングチャートを複数に分割したものである。

【0548】チップ外部からチップ内部に書き込みを指示するコマンドが入力されると、書き込み動作が開始される。

【0549】まず、センスノードNsenseをリセットするために、制御信号DCBを電源電位VCCにする。この時、MOSTランジスタM3がオンして、センスノードNsenseが接地される(t1)。

【0550】また、制御信号DCBと共に制御信号BLSHFも電源電位VCCにすると、MOSTランジスタM1がオンして、ビット線BLiが接地される。

【0551】書き込みデータをセンスアンプ回路にロードする前に、データラッチ制御信号φL1を電源電位VCC、プリチャージ制御信号Loadを接地電位VSSにする。この時、MOSTランジスタM5、M7がオンして、ラッチ回路21のラッチノードQbが強制接地され、データがリセットされる。即ち、センスアンプ回路20の全てのセンスアンプにおいて、ラッチ回路21のラッチノードQが電源電位VCC、ラッチノードQbが接地電位VSSになる(t2)。

【0552】次に、I/O線から書き込みデータがロードされ、センスアンプ回路20の各ラッチ回路21にデータがラッチされ、ノードQ、Qbはロードデータに応じて“H”、“L”に設定される(t3)。

【0553】具体的には、“0”書き込みを行なうメモリセルに対応するセンスアンプのラッチ回路21では、ラッチノードQに“L”(=VSS)が与えられ、“1”書き込み(書き込み禁止)のメモリセルに対応するセンスアンプのラッチ回路21では、ラッチノードQに“H”(=VCC)が与えられる。

【0554】次に、制御信号BLSHF、SBLが“H”になって、センスアンプ回路20の各ラッチ回路21にラッチされたデータに基づき、各ビット線の充電が開始される(t4)。

【0555】即ち、“0”書き込みを行なうメモリセルに接続されるビット線BLiは接地電位VSSに設定され、“1”書き込み(書き込み禁止)のメモリセルに接続されるビット線は電源電位VCCに充電される。選択されたコントロールゲート線(ワード線)は、書き込み電圧Vprog(20[V]程度)に設定される。この

時、非選択のコントロールゲート線(ワード線)は、Vpass(例えば、8[V])ではなく、電源電位VCC(例えば、3.3[V])又は読み出し時に非選択のメモリセルに与える読み出し電位Vread(例えば、4.5[V])に設定される。

【0556】この動作によって、1ページ分のメモリセルへの書き込みが行われる。

【0557】データ書き込みが終了した後、データ書き込みがきちんと完了しているか否かを検証する書き込みベリファイが開始される。

【0558】まず、書き込みベリファイのための読み出しが行われる。このベリファイ読み出し動作は通常の読み出し動作と同じである。

【0559】制御信号DCBを電源電位VCCに設定すると、MOSTランジスタM3がオンして、センスノードNsenseが強制的に接地される(t5)。

【0560】続いて、選択されたコントロールゲート線CGLには、参照電位Vref(0.5[V]程度)が与えられ、非選択のコントロールゲート線CGLには、メモリセルに記憶されるデータにかかわらずメモリセルをオン状態にするための読み出し電位Vread(例えば、4.5[V])が与えられる。また、セレクトゲート線SSL、GSLには電源電位VCCが与えられる。これにより、ベリファイ読み出しが行われる(t6)。

【0561】読み出しに際しては、ビット線プリチャージ型のセンス方式、電流検知型のセンス方式などを用いることができる。ビット線プリチャージ型のセンス方式では、ビット線BLiをプリチャージし、フローティング状態にした後、メモリセルのデータに応じてビット線の電位を維持又は低下させる。電流検知型のセンス方式については、以下に詳述する。

【0562】時刻t6において、制御信号BLSHFを昇圧電位VCC+αから電位VCC-αにクランプし、MOSTランジスタM1に流れるメモリセル電流とセンスノードNsenseを充電するMOSTランジスタM2の電流とのバランスにより読み出しを行なう。そして、ビット線BLiの電位が、例えば、0.9[V]まで上昇すると、MOSTランジスタM1がカットオフ状態となり、センスノードNsenseが電源電位VCCとなる。

【0563】センスノードNsenseが“H”(=VCC)になった後、ラッチ制御信号φL1を電源電位VCCとし、MOSTランジスタM5をオンさせる(t7)。センスノードNsenseが電源電位VCCの場合(閾値がベリファイ電位Vrefよりも高いメモリセルに接続されるセンスアンプの場合)、MOSTランジスタM7がオンして、ラッチノードQbは接地電位VSS、ラッチノードQは電源電位VCCになる。

【0564】ラッチノードQに接地電位VSSがロードされ、正常に書き込みが行われると、ラッチ回路21の

ラッチデータが反転する。メモリセルに対する書き込みが不十分な場合、ペリファイ読み出しにおいて、センスノードNsenseは、“L”(=VSS)のままであるため、ラッチ回路21のデータ反転は起こらず、ラッチノードQはVSSを保つ。書き込み禁止のメモリセルに繋がるセンスアンプでは、ラッチノードQは、電源電位VCCであるのでデータの反転はない。

【0565】書き込み不十分なメモリセルが存在するとき、即ち、ラッチ回路21のデータ反転が生じないセンスアンプがあるとき、書き込みとペリファイ読み出しが繰り返行われる。そして、1ページ分の全てのセンスアンプのラッチノードQの電位が電源電位VCCになると、書き込みが終了する。

【0566】次に、図63のタイミングチャートを参照しながら、バイト単位のデータ書き換え動作について、図58のセンスアンプ回路の動作を中心に詳細に説明する。

【0567】チップ外部からチップ内部にバイト書き換えを指示するコマンドが入力されると、バイト書き換え動作が開始する。

【0568】まず、選択されたコントロールゲート線(ワード線)に接続される1ページ分のメモリセルに対して、既書き込まれているデータの逆読み出し動作が開始される。

【0569】逆読み出し動作は、読み出し動作と同様である。

【0570】まず、データラッチ制御信号φL1を電源電位VCC、プリチャージ制御信号Loadを接地電位VSSに設定する。この時、MOSトランジスタM5、M7がオンして、ラッチ回路21のラッチノードQbが強制接地され、データがリセットされる。即ち、センスアンプ回路の全てのラッチ回路21のラッチノードQが電源電位VCC、ラッチノードQbが接地電位VSSになる(t1)。

【0571】次に、制御信号DCBを電源電位VCCに設定する。この時、MOSトランジスタM3がオンになり、センスノードNsenseが強制的に接地される(t2)。続いて、選択されたコントロールゲート線CGLにVSS(=0V)を与え、セレクトゲート線SSL、GSLに電源電位VCCを与えると、読み出しが行われる(t3)。

【0572】センスノードNsenseが“H”(=VCC)になった後、ラッチ制御信号φL2が電源電位VCCとなり、MOSトランジスタM6がオンする(t4)。センスノードNsenseが電源電位VCCの場合(即ち、データ“0”が書き込まれ、閾値電圧がVSSよりも高いメモリセルに接続されるセンスアンプの場合)、MOSトランジスタM7がオンして、ラッチノードQは接地電位VSS、ラッチノードQbは電源電位VCCになる。

【0573】次に、制御信号DCBを電源電位VCCに設定し、制御信号BLSHFを電源電位VCC又は電位VCC+αに設定して、ビット線BLi及びセンスノードNsenseをリセットする(t5)。

【0574】この後、カラムアドレスで指定されたセンスアンプ回路20のラッチ回路21にバイトデータがロードされ、ノードQ、Qbはバイトデータに応じて“H”、“L”に設定される(t6)。

【0575】ラッチ回路21に書き込まれたページデータのうち所定のデータに対して、チップ外部から入力されたバイトデータが上書きされる。

【0576】この後、選択されたコントロールゲート線に接続されるメモリセルに対してページ消去動作を行なう。

【0577】選択ブロックのコントロールゲート線は接地電位VSSに設定し、非選択ブロックのコントロールゲート線及び全てのセレクトゲート線はフローティング状態に設定する。セルPウェルに消去電圧Veraが印加されると、フローティング状態のセレクトゲート線と非選択ブロックのコントロールゲート線は、セルPウェルとの容量カップリングにより、 $Vera \times \beta$ (βはカップリング比)に昇圧される。

【0578】また、ビット線BLi及びセルソース線SLは、セルPウェル内のN⁺層に接続される。このN⁺層とセルPウェルとのpn接合が順バイアスされると、ビット線BLi及びセルソース線SLは、それぞれ $Vera - Vb$ に充電される(t7)。但し、Vbは、pn接合のビルトイン・ポテンシャルである。

【0579】この後、消去ペリファイを行ない、選択されたページのメモリセルが全て消去状態、即ち、メモリセルの閾値電圧が負になったことを確認する。ラッチ回路21に蓄えられたデータに基づき、選択されたページのメモリセルに対して、書き込み動作及び書き込みペリファイ動作を行なう。

【0580】なお、図63では、消去ペリファイ以降の動作は、省略している。

【0581】図64は、NAND型フラッシュEEPROMのメモリセルアレイの一部を本発明のバイト型EEPROMのメモリセルアレイにした例である。

【0582】本発明のバイト型EEPROMのメモリセルアレイは、NAND型フラッシュEEPROMのメモリセルアレイにおいて2つのセレクトトランジスタの間のメモリセルを2つにしたものと考えることができる。よって、本例のようなEEPROMが容易に実現できることになる。

【0583】本例のEEPROMは、1本のビット線BLiに異なる構成の2種類のメモリセルユニットが接続される。即ち、第一のメモリセルユニットは、2つのセレクトトランジスタの間に複数個(例えば、8、16、32個など)のメモリセルが接続され、第二のメモリセ

ルユニットは、2つのセレクトトランジスタの間に2個のメモリセルが接続される。

【0584】コントロールゲート線（ワード線）の選択に当たっては、第一のメモリセルユニットの領域と第二のメモリセルユニットの領域で、別々に駆動回路を設けるようにしてもよいし、共通化できるならば、両領域の駆動回路を一つにまとめるようにしてもよい。

【0585】このような構成により、メモリセルアレイの一部について、バイト単位のデータ書き換えが可能となる。

【0586】なお、図64のNAND型フラッシュEEPROMのメモリセルアレイに代えて、AND型フラッシュEEPROM、DINOR型フラッシュEEPROMなどのメモリセルアレイを採用することもできる。

【0587】

【発明の効果】以上、説明したように、本発明のバイト型EEPROMによれば、(1)メモリセルユニットが二つのセレクトトランジスタに挟まれた一つのスタック*

*型メモリセルから構成されるため、フラッシュEEPROMと同一のプロセスで形成できると共に、フラッシュEEPROMと同一の書き換え方法を採用でき、さらに、バイト単位のデータ書き換えも可能にすることができる。

【0588】また、(2)書き込み時に非選択メモリセルのコントロールゲートに、Vpassではなく、VCC又はVreadを与え、さらに、メモリセルユニットを二つのセレクトトランジスタに挟まれた複数（例えば、二つ）のスタック型メモリセルから構成すれば、上記効果の他、さらに、メモリセル1個当たりのサイズ縮小を図ることができる。

【0589】なお、通常のNAND型フラッシュEEPROMと本発明のバイト型EEPROMの効果を比較したものを表7に示す。

【0590】

【表7】

	従来	本発明	
セルユニット構造	NAND型	3トラ型	4トラ型
一発書き込み (ベリファイ不要)	×	○	×
ページ(バイト) 単位の書き換え	×	○	○
読み出し電流	×	○	△
リードリテンション (データ保持特性)	×	○	×
データ書き換え回数 (Endurance特性)	○	○*1	○*1
書き込み時の ディスターブ (誤書き込み)	×*2	○	○*3
セルサイズ	○ (1)	×*4 (3.5)	△ (2.2)

○：可又は良

△：普通

×：不可又は悪

*1：サブコントロールゲートドライバ使用の場合

*2：選択ブロック内の非選択ワード線にVprog

*3：選択ブロック内の非選択ワード線にVCC又はVread

*4：従来のバイト型EEPROMに比べれば、○

【0591】さらに、本発明のバイト型EEPROMによれば、(3)メモリセルアレイを行列状に配置される複数のブロックから構成し、ブロック単位で、読み出し、消去、書き込みなどの動作を行えるようにしたため、バイト単位のデータ書き換えにおいても、実質的なデータ書き換え特性を劣化させることがない。

【図面の簡単な説明】

【図1】本発明のバイト型EEPROMのメモリセルユニットを示す図。

【図2】図1の等価回路を示す図。

【図3】本発明のバイト型EEPROMのメモリセルアレイを示す図。

【図4】メモリセルのデータに応じたゲート電圧とセル電流の関係を示す図。

【図5】データ読み出し時にメモリセルユニットに与える電位を示す図。

【図6】メモリセルのデータに応じた閾値分布の一例を示す図。

【図7】メモリセルのデータに応じた閾値分布の他の例を示す図。

【図8】本発明のバイト型EEPROMの主要部を示すブロック図。

【図9】図8のセンスアンプ回路の構成の一例を示す図。

【図10】本発明のバイト単位の書き換え動作を示すフローチャート。

【図11】図10のシーケンスのメモリセルデータの逆読み出し時の様子を示す図。

【図12】図10のシーケンスのバイトデータの上書き時の状態を示す図。

【図13】図10のシーケンスのページ消去時の様子を示す図。

【図14】図10のシーケンスのページ書き込み時の様子を示す図。

【図15】本発明のページ単位のデータ書き換え動作を示す波形図。

【図16】本発明のページ単位のデータ書き換え動作を示す波形図。

【図17】本発明のバイト単位のデータ書き換え動作を示す波形図。

【図18】本発明のバイト型EEPROMのメモリセルアレイの変形例を示す図。

【図19】本発明のバイト型EEPROMのメモリセルアレイの変形例を示す図。

【図20】スタックゲート型メモリセルの書き込み動作時の様子を示す図。

【図21】スタックゲート型メモリセルの消去動作時の様子を示す図。

【図22】本発明のバイト型EEPROMのメモリセルアレイの変形例を示す図。

【図23】本発明のバイト型EEPROMの一例を示す図。

【図24】図23のメモリセルアレイを示す図。

【図25】本発明のバイト型EEPROMの他の例を示す図。

【図26】図25のメモリセルアレイを示す図。

【図27】本発明のバイト単位のデータ書き換え動作を示す図。

【図28】図23のEEPROMの変形例を示す図。

10 【図29】図28のブリデコーダの一例を示す図。

【図30】図28のロウデコーダ及びドライバの一例を示す図。

【図31】図28のメモリセルアレイの1ロウを示す図。

【図32】本発明のバイト単位のデータ書き換え動作を示す図。

【図33】本発明のバイト単位のデータ書き換え動作を示す図。

20 【図34】メモリセルアレイ領域におけるウェルの配置の一例を示す図。

【図35】図31のメモリセルアレイの変形例を示す図。

【図36】図28のEEPROMの変形例を示す図。

【図37】図36のメモリセルアレイの互いに隣接する2ロウを示す図。

【図38】差動型センスアンプを用いたシステムの例を示す図。

【図39】複数のビット線に1つのセンスアンプを設けたシステムの例を示す図。

30 【図40】図28のEEPROMの変形例を示す図。

【図41】図40のブリデコーダの一例を示す図。

【図42】図40のロウデコーダ及びドライバの一例を示す図。

【図43】図40のメモリセルアレイの互いに隣接する2ロウを示す図。

【図44】サブデコーダの配置例を示す図。

【図45】本発明が適用されるEEPROMの一例を示す図。

40 【図46】本発明が適用されるEEPROMの一例を示す図。

【図47】本発明が適用されるEEPROMの一例を示す図。

【図48】NAND型EEPROMの書き込み時のディスタースターブについて示す図。

【図49】NAND型EEPROMのデータ書き込み動作を示す波形図。

【図50】本発明のバイト型EEPROMのメモリセルユニットを示す図。

【図51】図50の等価回路を示す図。

50 【図52】消去動作時にメモリセルユニットに与える電

位について示す図。

【図53】書き込み動作時にメモリセルユニットに与える電位について示す図。

【図54】読み出し動作時にメモリセルユニットに与える電位について示す図。

【図55】メモリセルのデータに応じたゲート電圧とセル電流の関係を示す図。

【図56】本発明のバイト型EEPROMの主要部を示すブロック図。

【図57】図56のメモリセルアレイの回路構成を示す図。

【図58】図56のセンスアンプ回路の構成の一例を示す図。

【図59】本発明のバイト単位の書き換え動作を示すフローチャート。

【図60】バイト書き換え時のセンスアンプのノードQbの様子を示す図。

【図61】本発明のページ単位のデータ書き換え動作を示す波形図。

【図62】本発明のページ単位のデータ書き換え動作を示す波形図。

【図63】本発明のバイト単位のデータ書き換え動作を示す波形図。

【図64】本発明のバイト型EEPROMのメモリセルアレイの変形例を示す図。

【図65】従来のバイト型EEPROMのメモリセルを示す図。

【図66】図65のLXVI-LXVI線に沿う断面図。

【図67】FNトンネル電流の機構を示すエネルギーバンド図。

【図68】従来のバイト型EEPROMのメモリセルを示す図。

【図69】従来のバイト型EEPROMのメモリセルの基本構造を示す図。

【図70】NAND型フラッシュEEPROMのNANDユニットを示す図。

【図71】図70の等価回路を示す図。

【図72】NOR型フラッシュEEPROMのメモリセルを示す図。

【符号の説明】

11 : メモリセルアレイ、
11-0 : 3トラセル部、
11-1 : NANDセル部、

12, 12b

12a

12c

・セレクトゲートドライバ、

13

14

15

ッチ)、

16

17

18

ア、

20

21

25

26

27

28

ードドライバ、

29

30-1, ... 30-3, 32

31-1, ... 31-3, 33

34

35-1, ... 35-3, 36-0, ... 36-3, 40-0, ... 40-3

37 : NチャネルMOSトランジスタ、

ゲートドライバ、

38

イバ、

39

41

42a, 42b

M1~M8

I1, I2

MC

ST1, ST2

タ、

BC

部、

40 SL

CGL

線(ワード線)、

SSL, GSL

BLi

: ロウデコーダ、

: ブリデコーダ、

: コントロールゲート

: センスアンプ回路

: カラムデコーダ、

: カラムゲート(スイ

: 昇圧回路、

: 制御回路、

: データ入出力バッフ

: センスアンプ、

: ラッチ回路、

: コマンドレジスタ、

: コマンドデコーダ、

: 信号生成回路、

: サブコントロールゲ

: サブデコーダ、

: NAND回路、

: インバータ、

: 昇圧回路、

: NチャネルMOSトランジスタ、

: メインコントロール

: セレクトゲートドラ

: デコード回路、

: 半導体チップ、

: メモリ回路、

: MISFET、

: インバータ、

: メモリセル、

: セレクトトランジス

: ビット線コンタクト

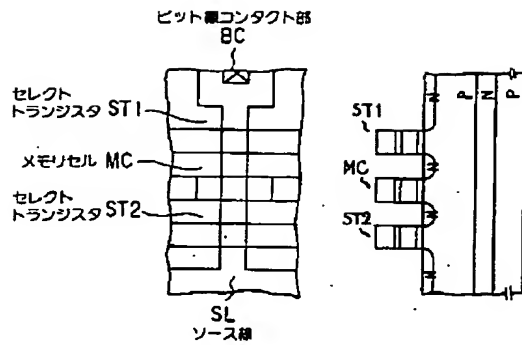
: ソース線、

: コントロールゲート

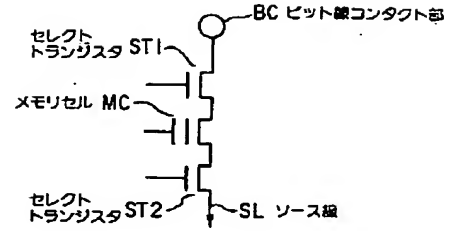
: セレクトゲート線、

: ビット線。

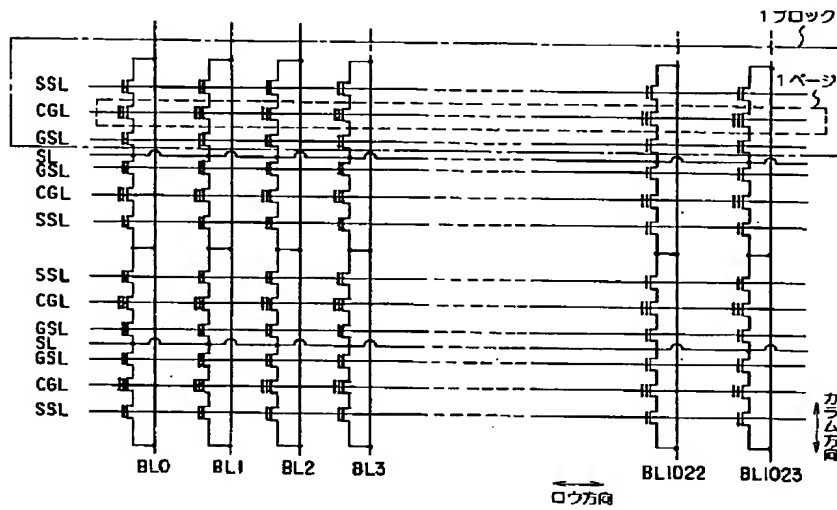
【図1】



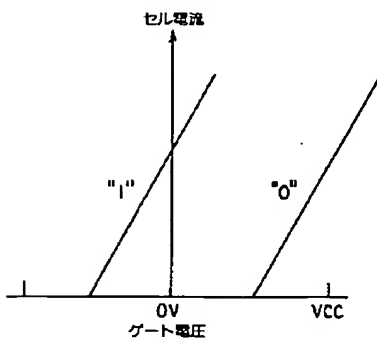
【図2】



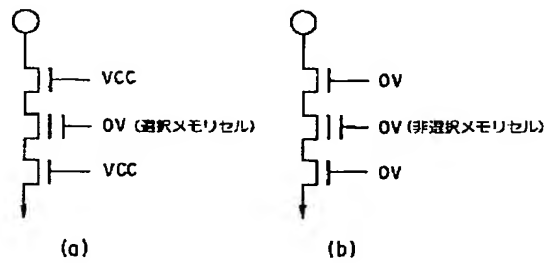
【図3】



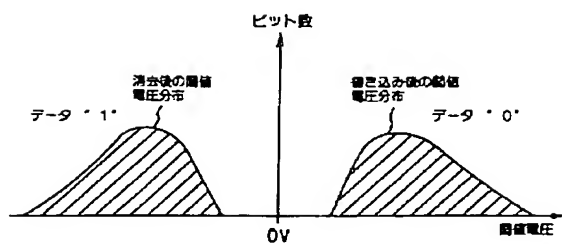
【図4】



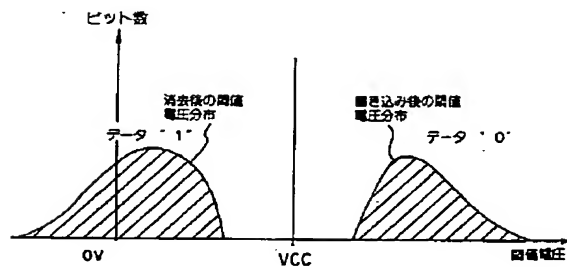
【図5】



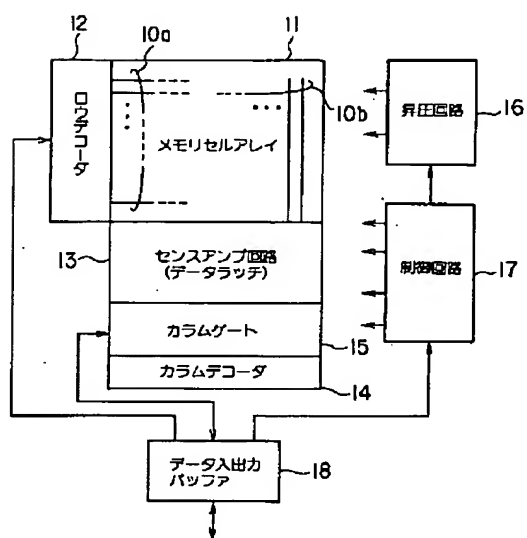
【図6】



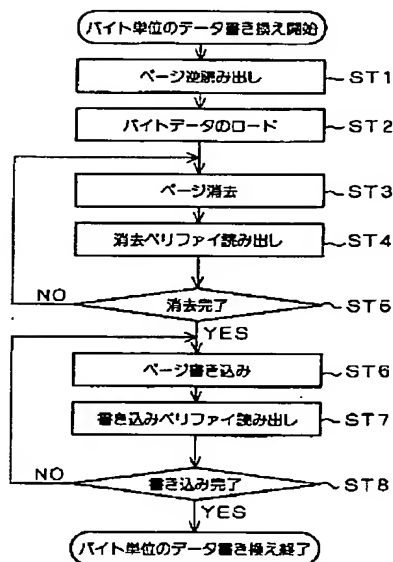
【図7】



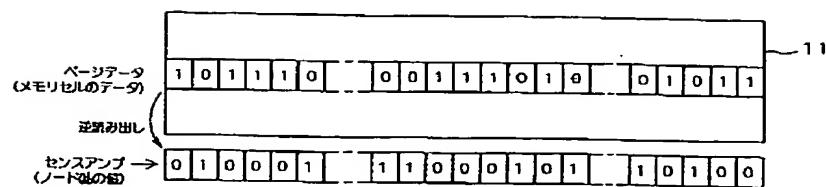
【図8】



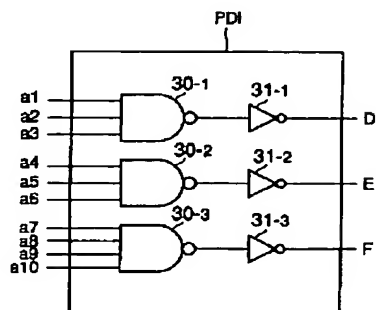
【図10】



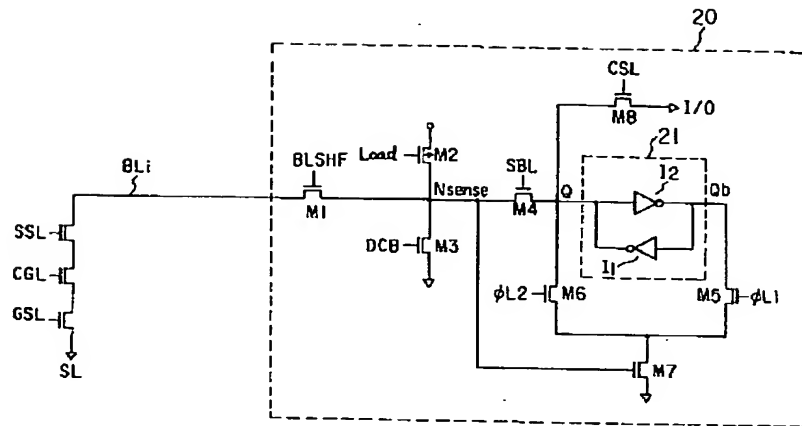
【図11】



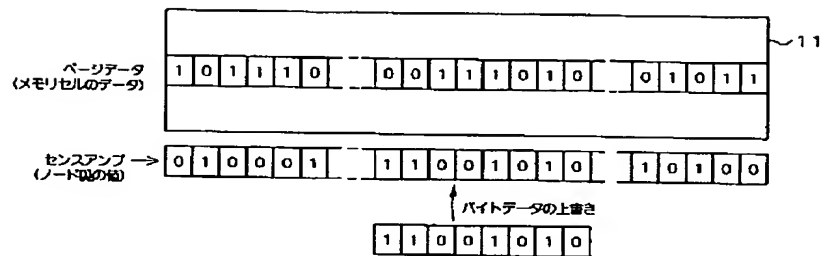
【図29】



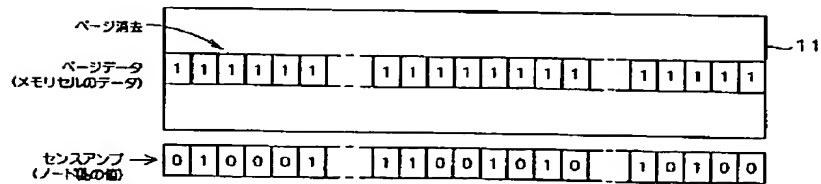
【図9】



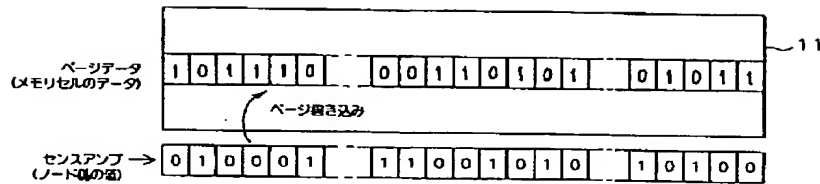
【図12】



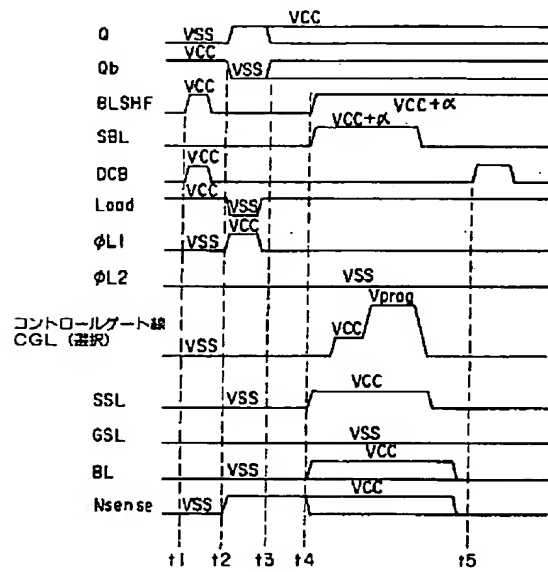
【図13】



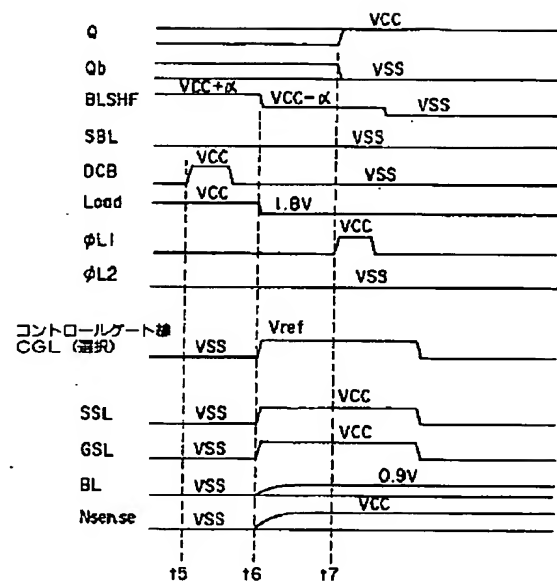
【図14】



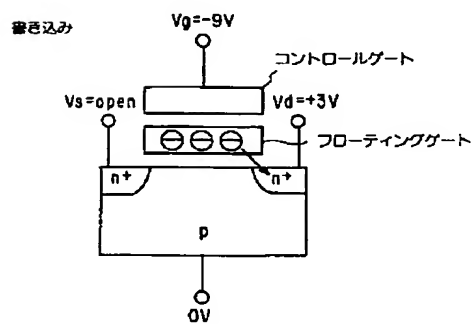
【図15】



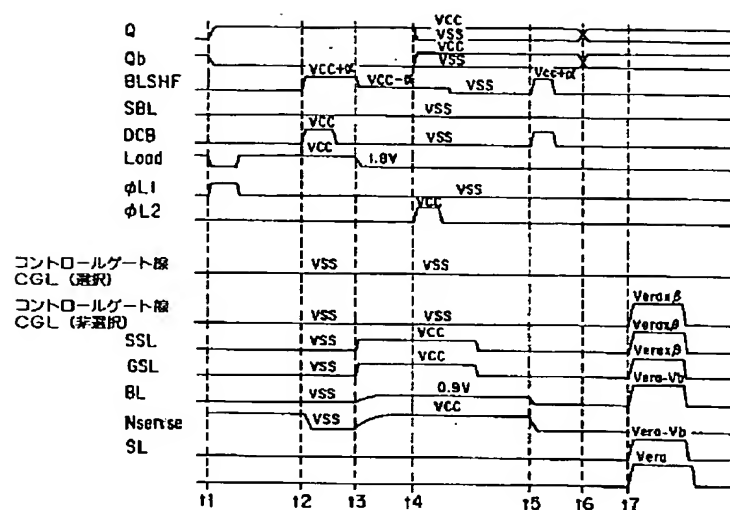
【図16】



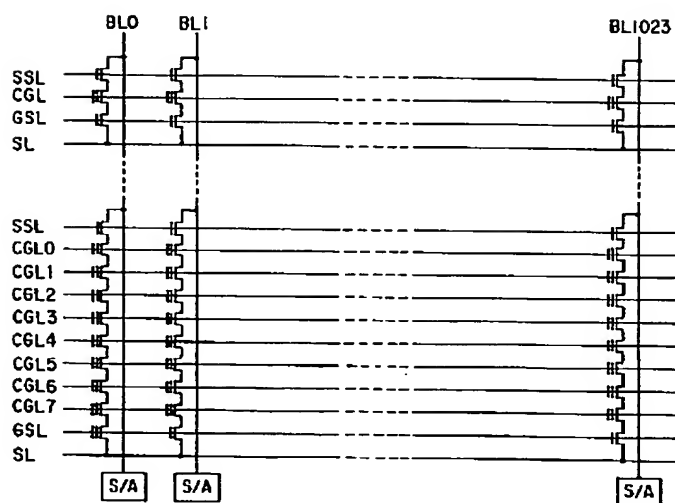
【図20】



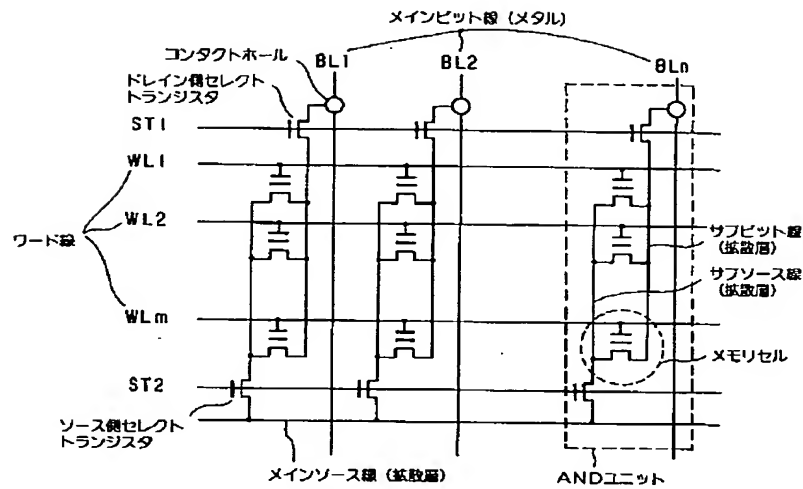
【図17】



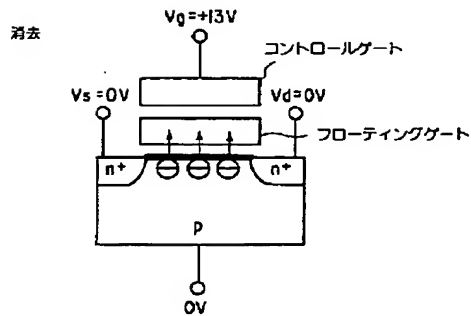
【図18】



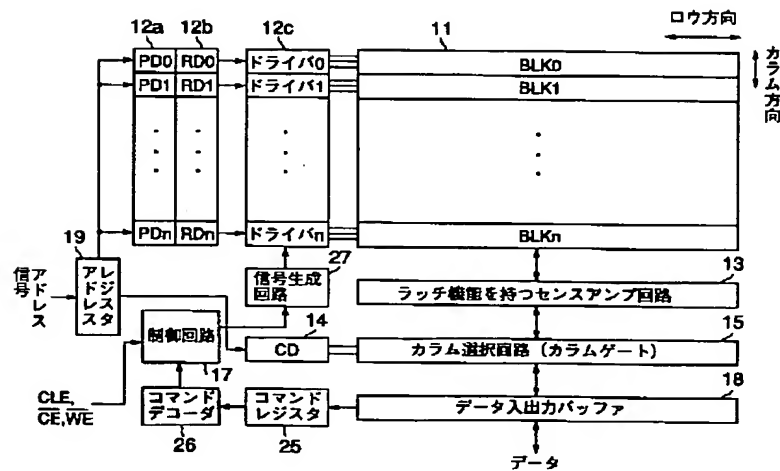
【図19】



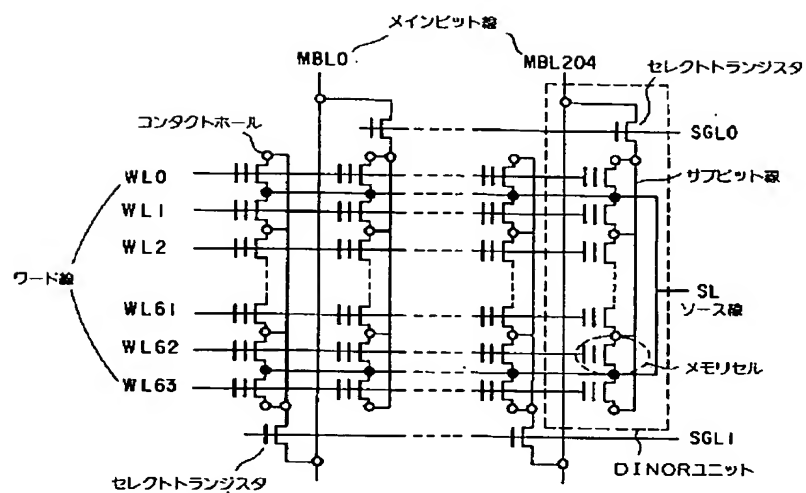
【図21】



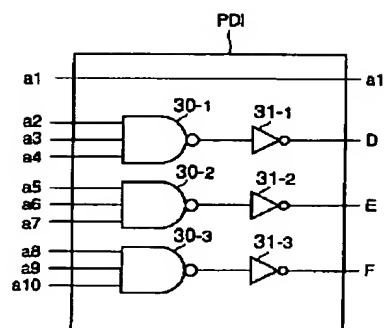
【図23】



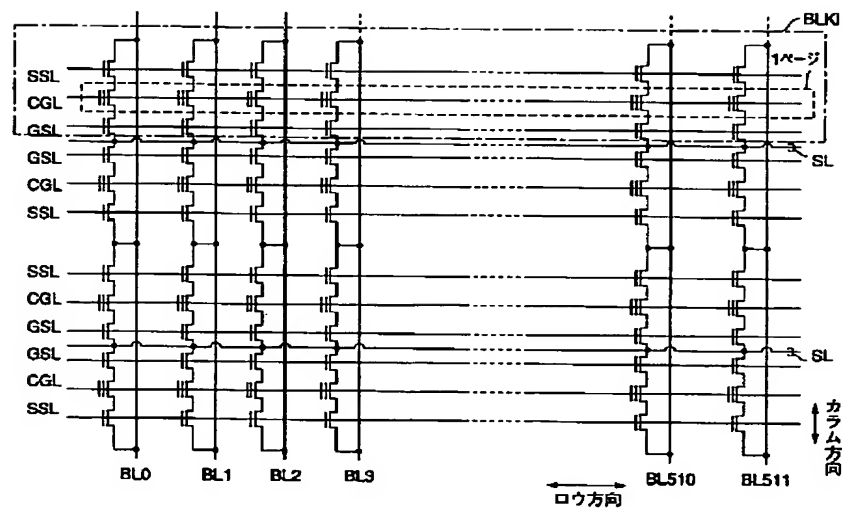
【図22】



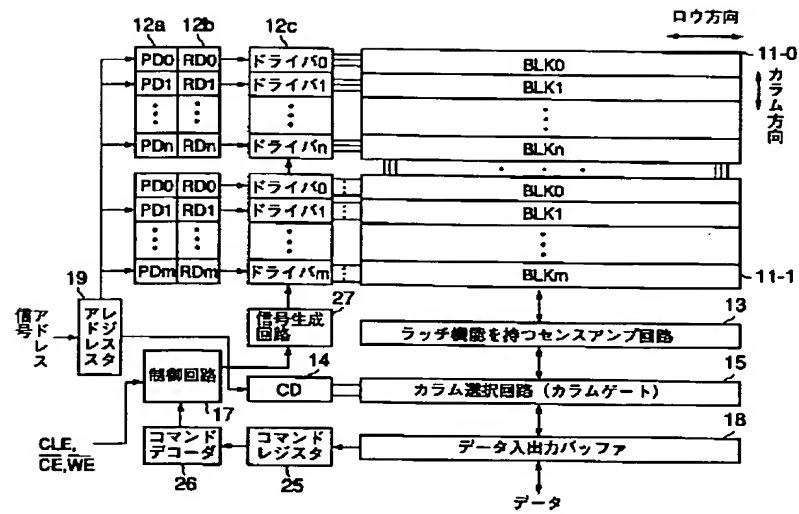
【図41】



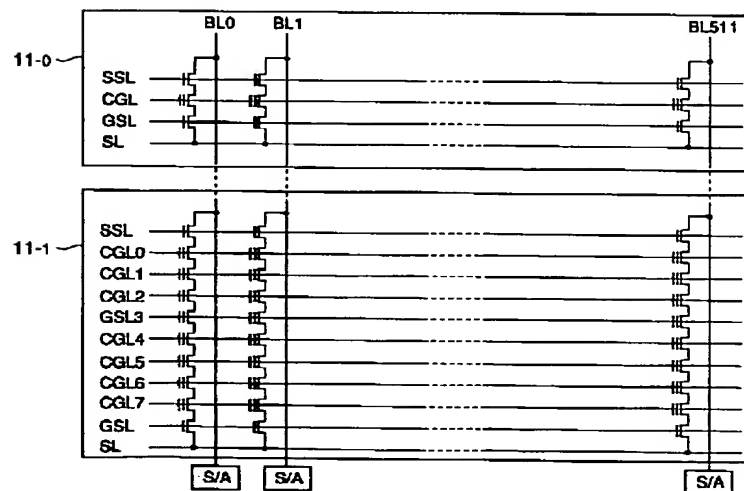
【図24】



【図25】

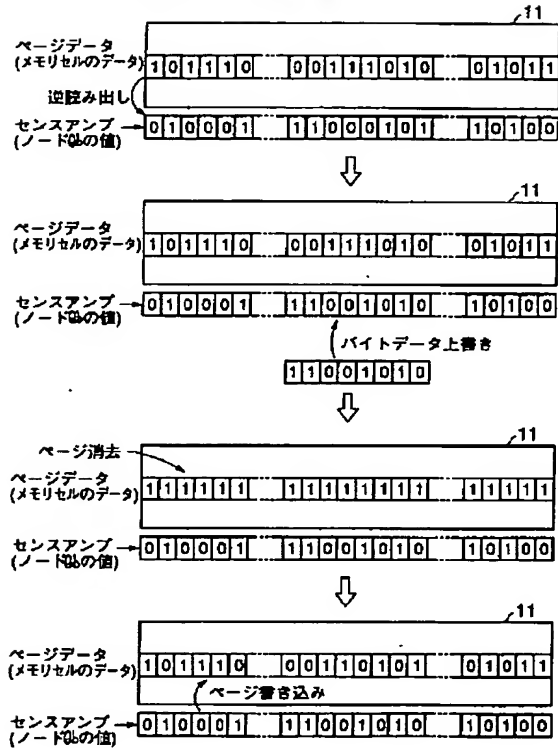


【図26】

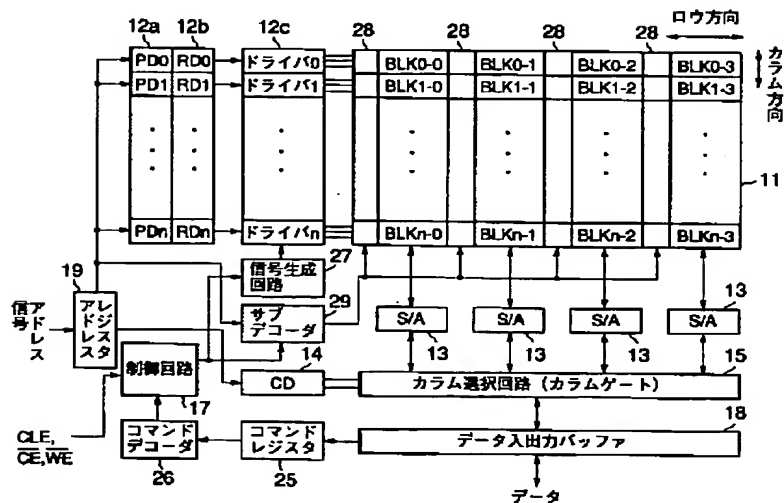


【圖 27】

- ・バイト単位のデータ書き換え動作

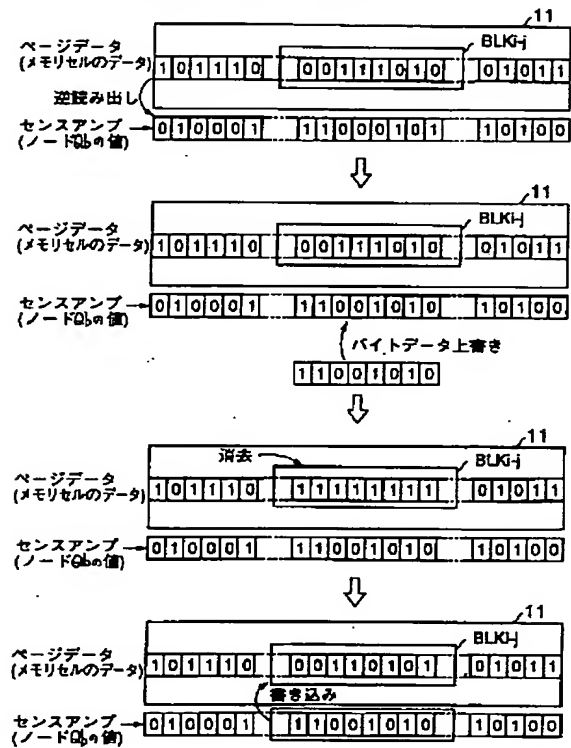


【図 28】

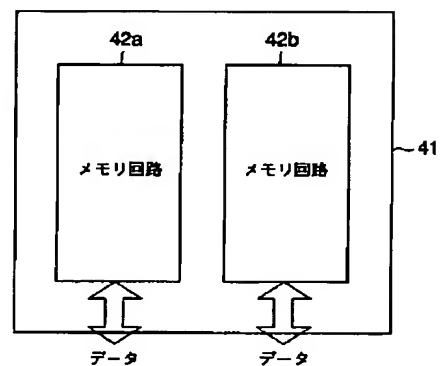


【图 3 3】

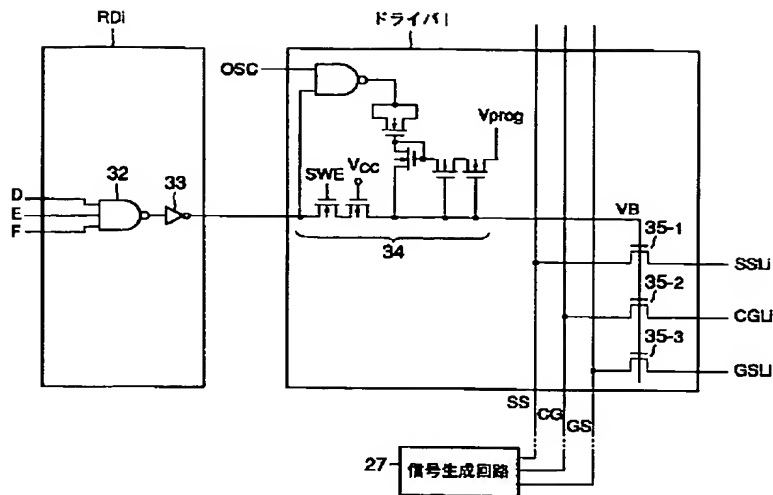
・バイト単位のデータ書き換え動作



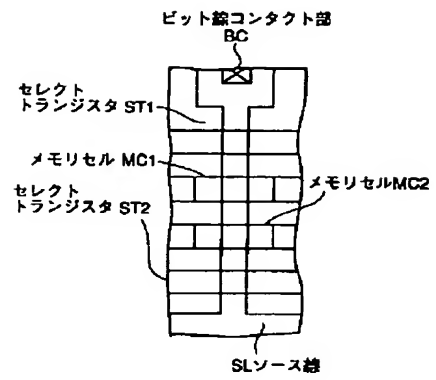
【圖 47】



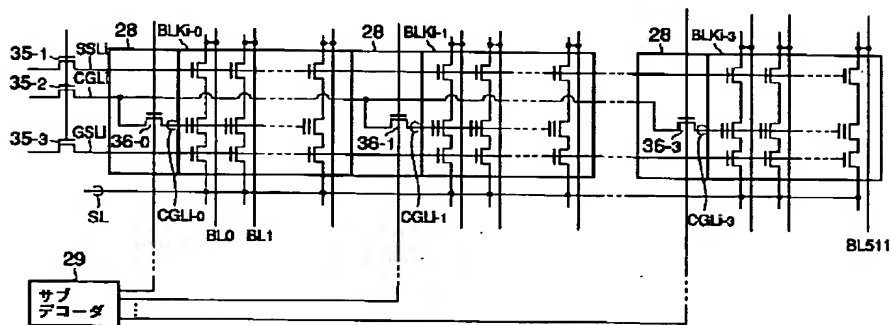
【図30】



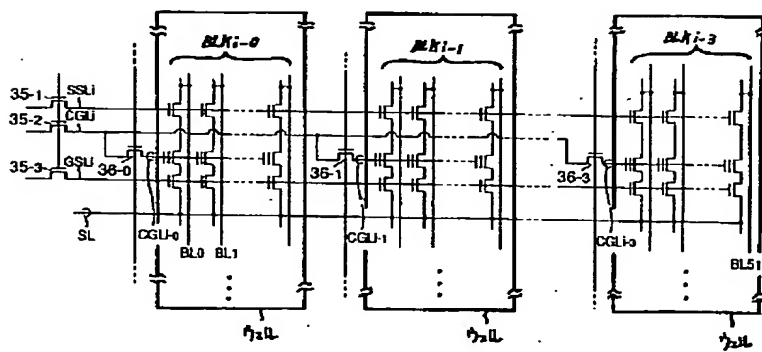
【図50】



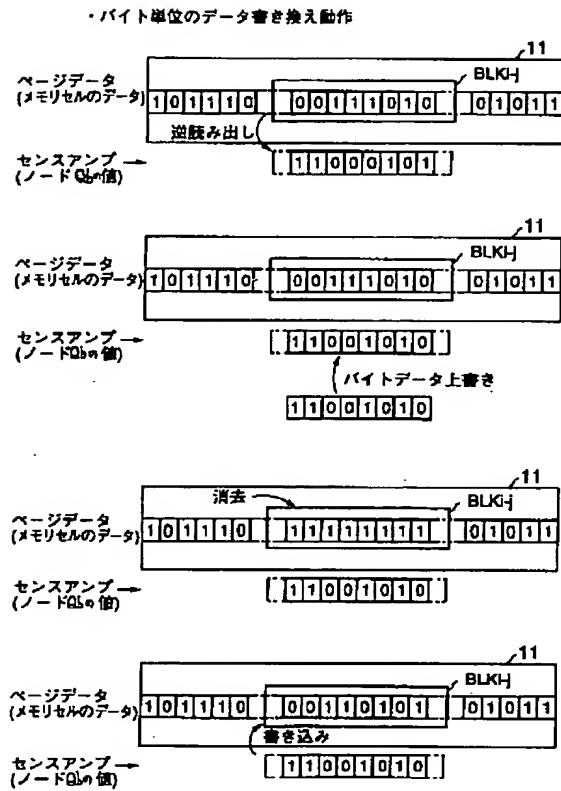
【図31】



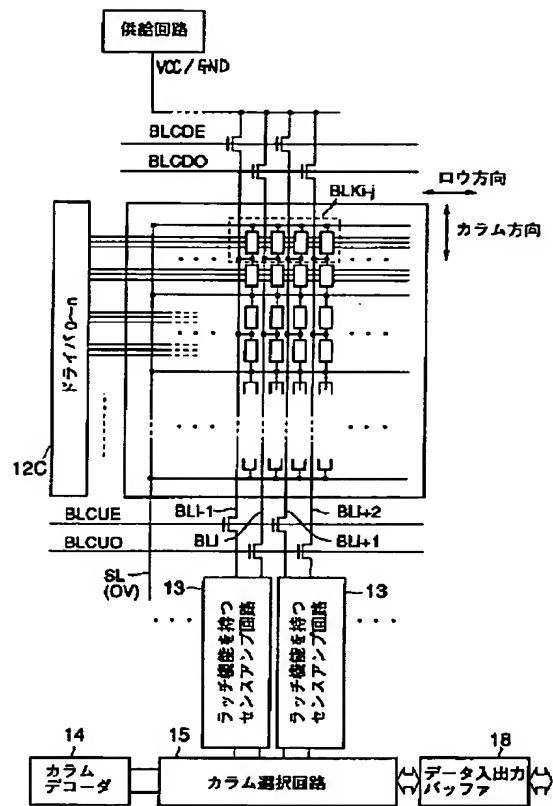
【図34】



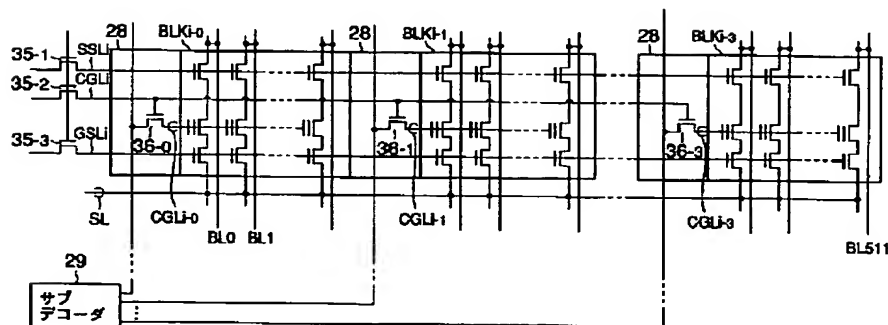
【図32】



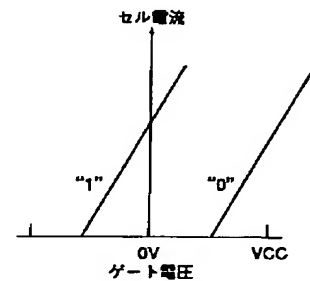
【図39】



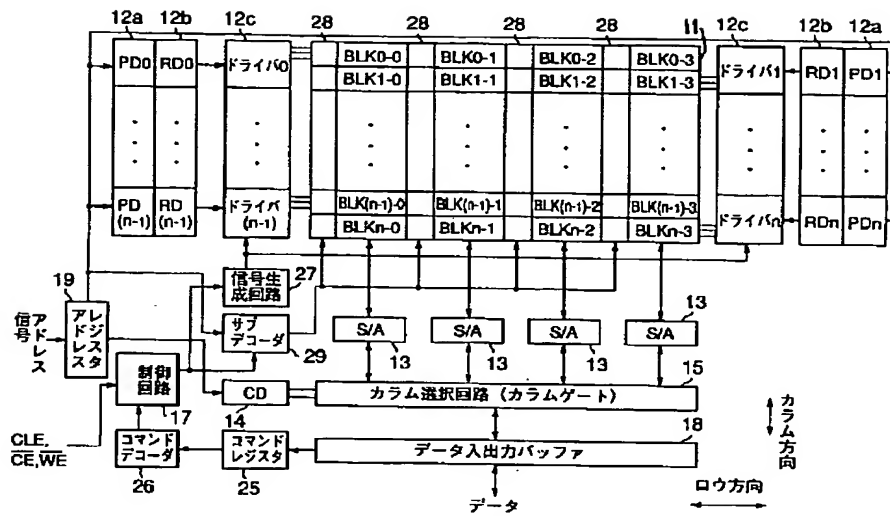
【図35】



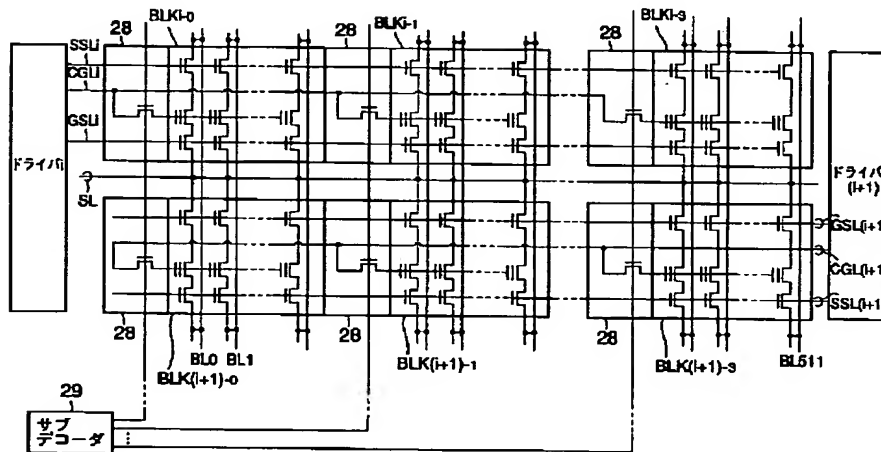
【図55】



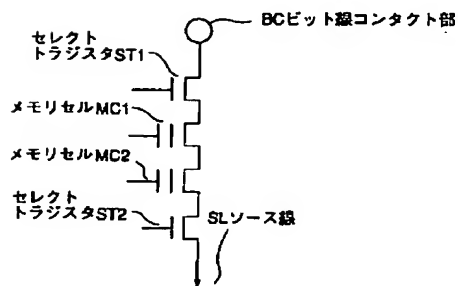
【図36】



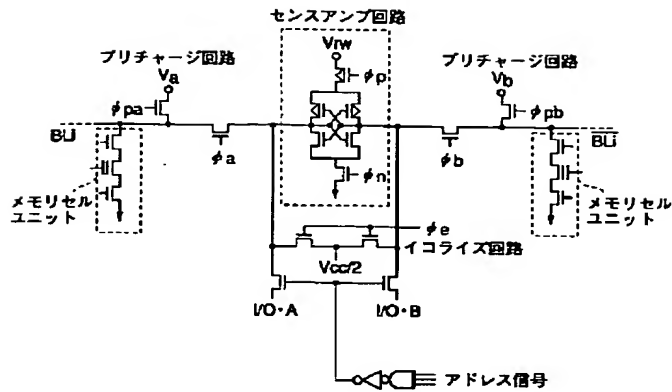
【図37】



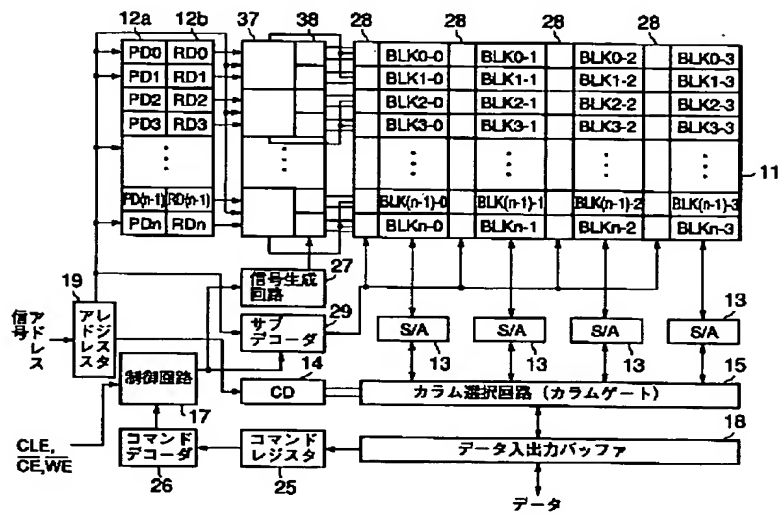
【図51】



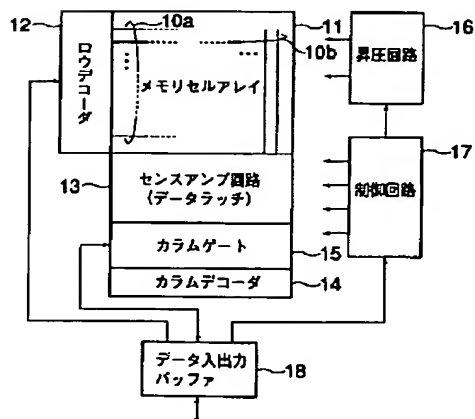
【図38】



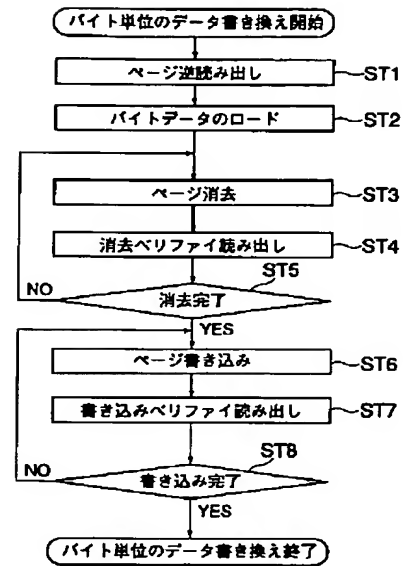
【図40】



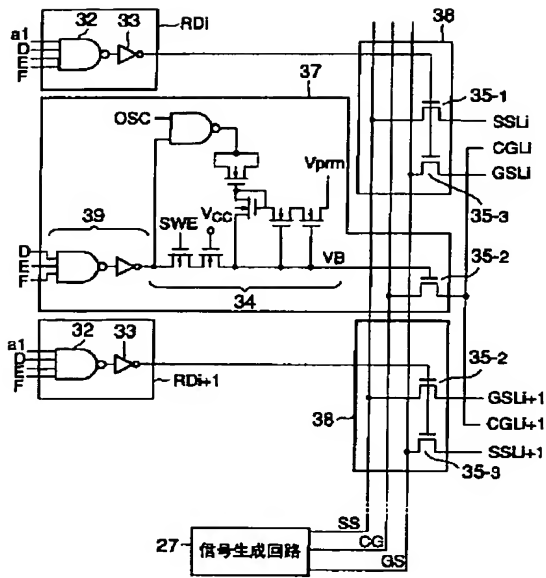
【図56】



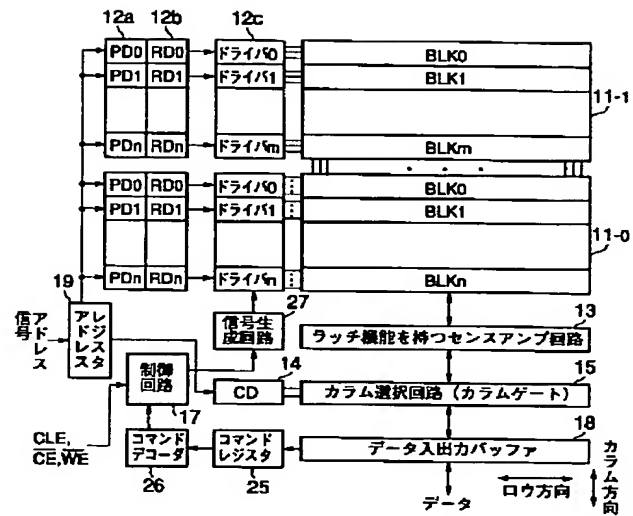
【図59】



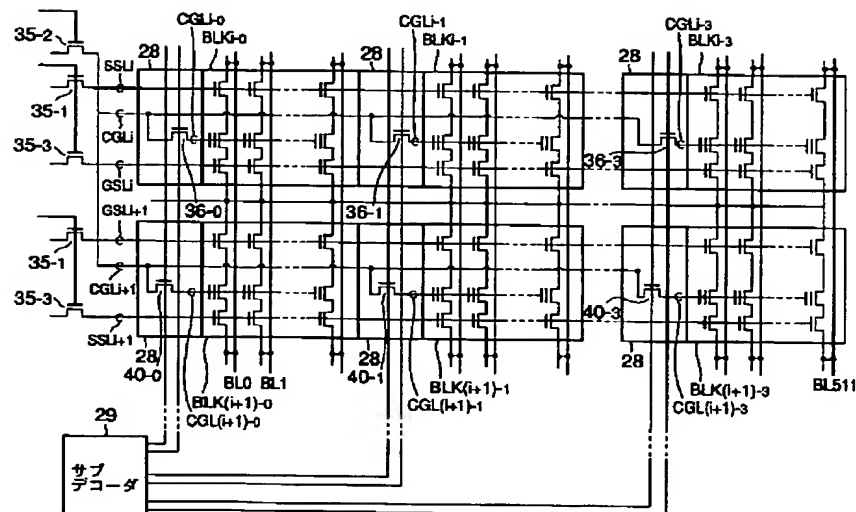
【図42】



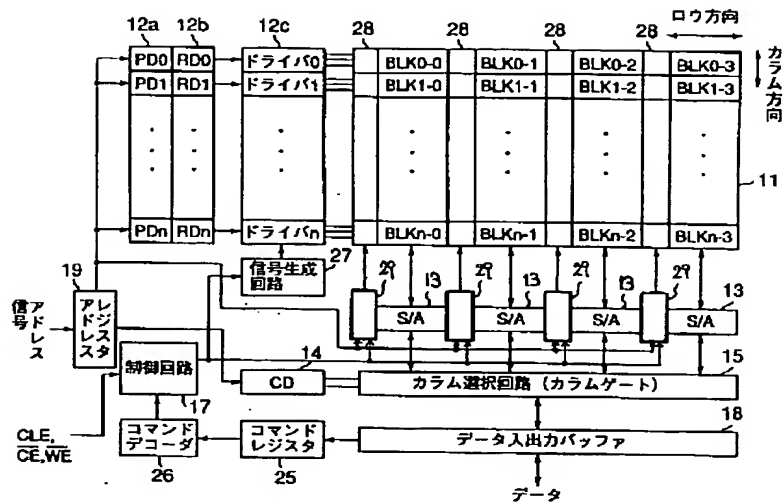
【図46】



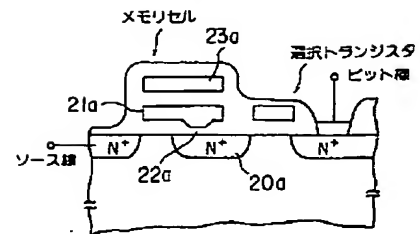
【図43】



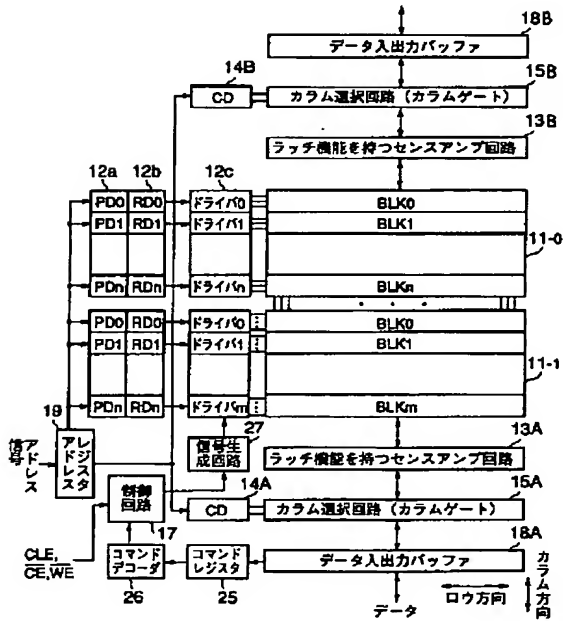
【図44】



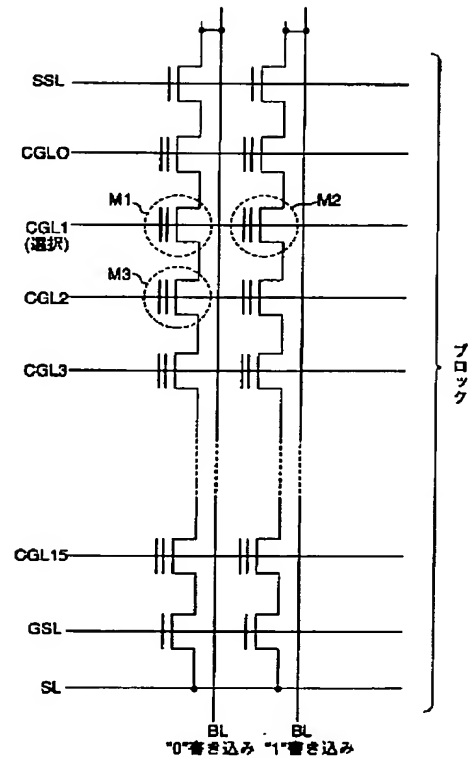
【図66】



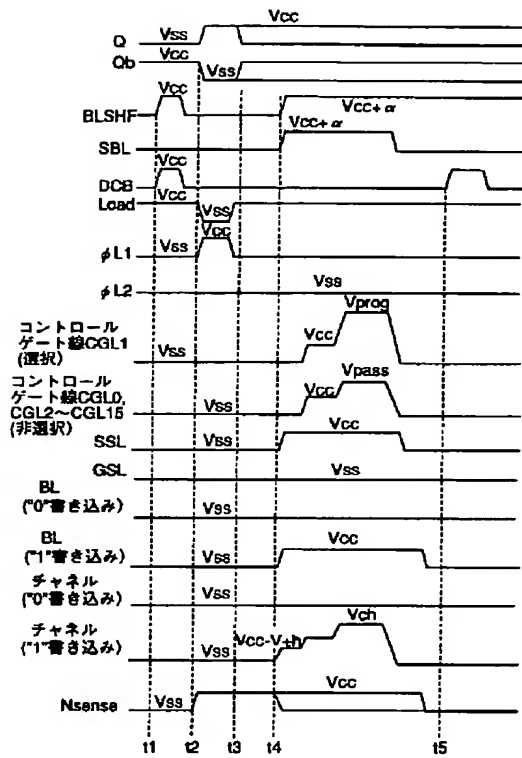
【図45】



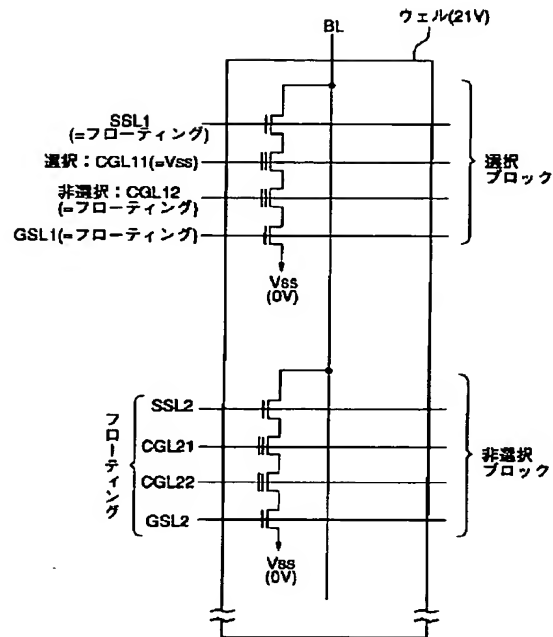
【図48】



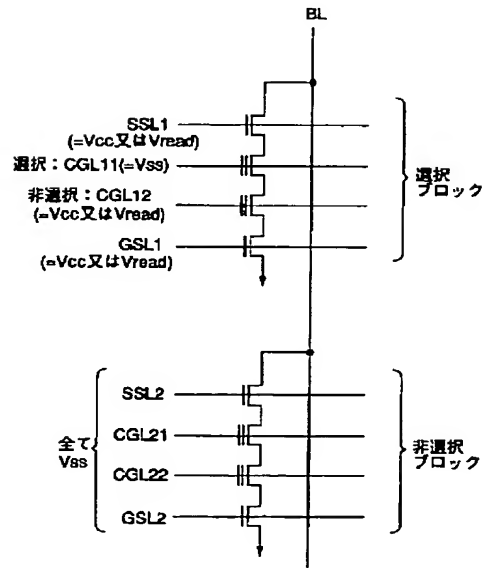
【図49】



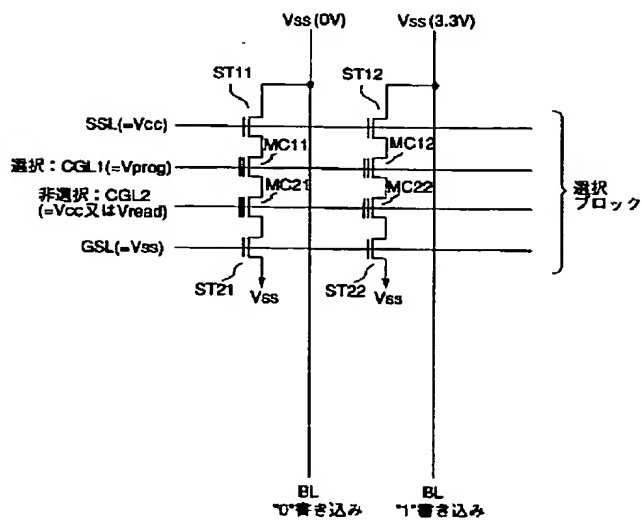
【図52】



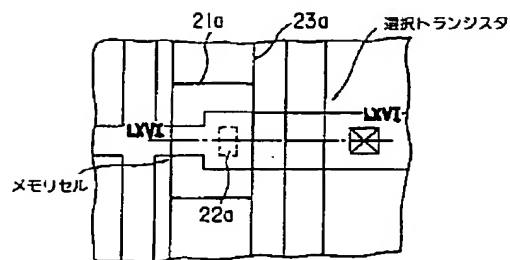
【図54】



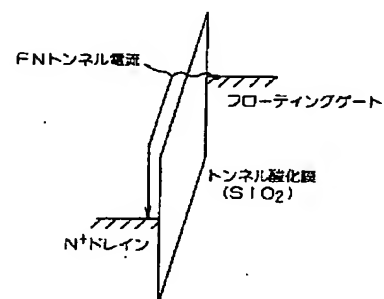
【図53】



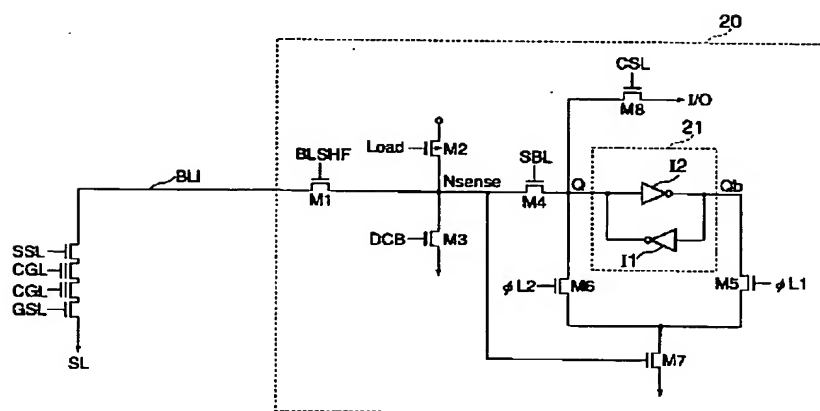
【图 65】



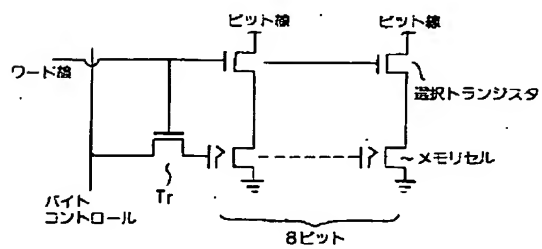
【图67】



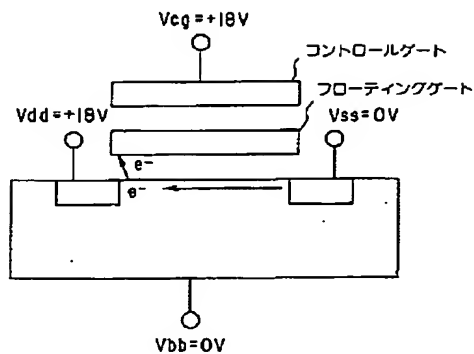
【圖58】



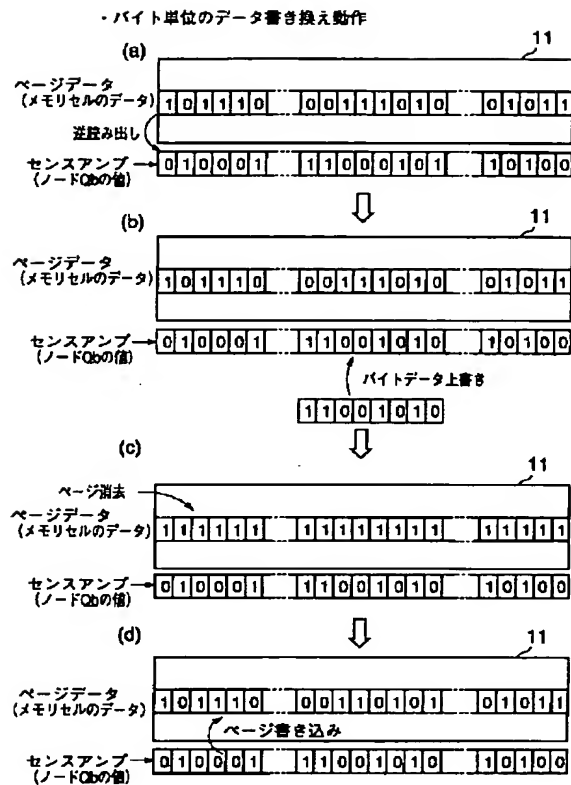
【图68】



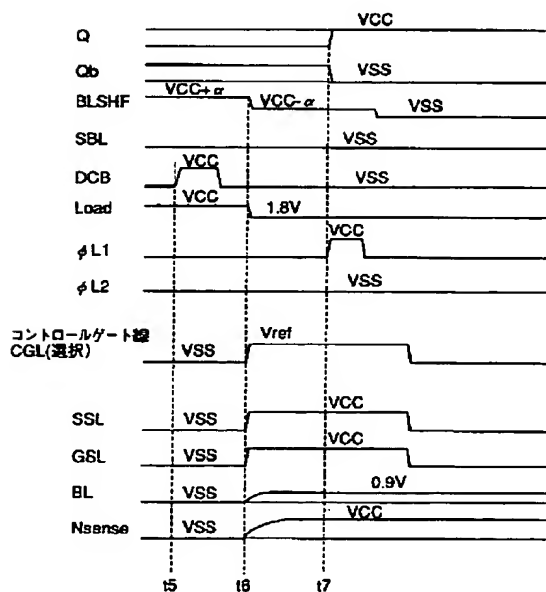
【図 69】



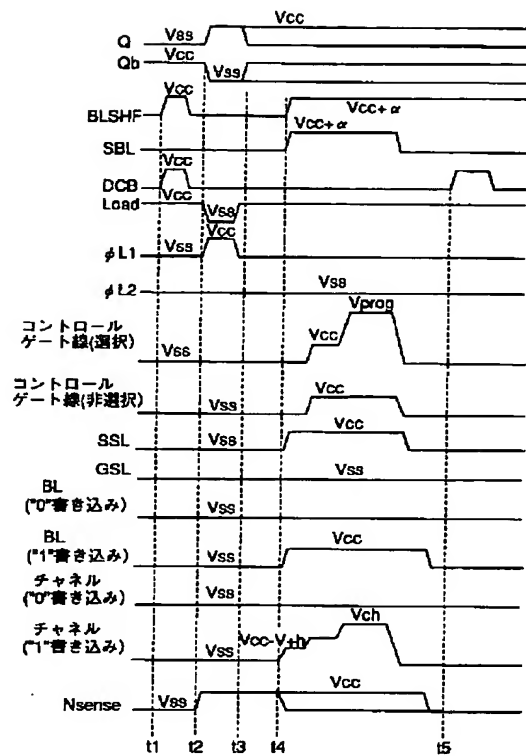
【図60】



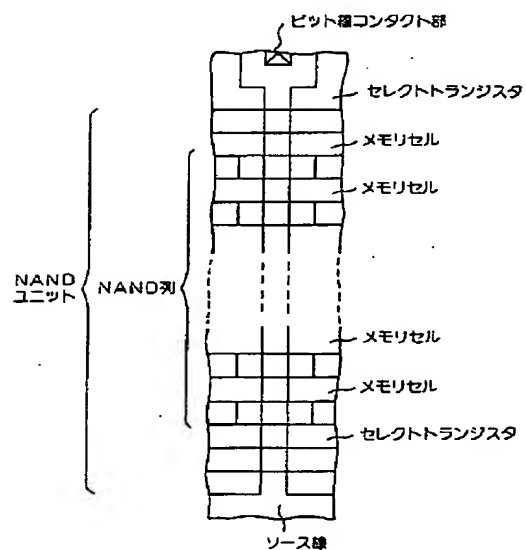
【図62】



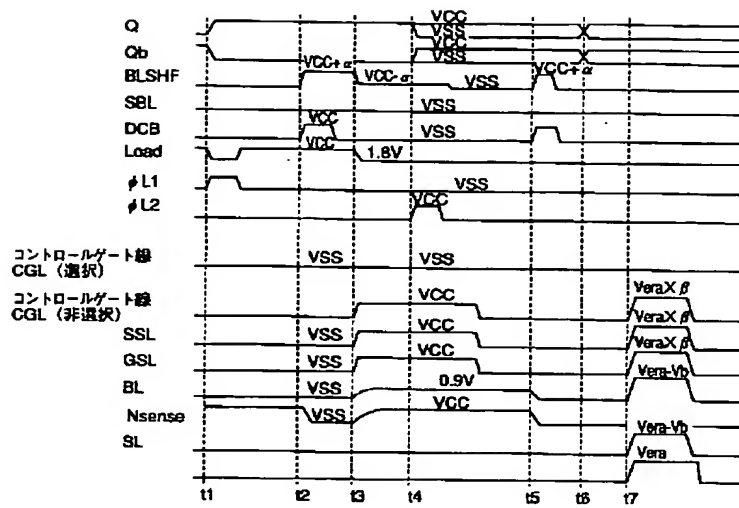
【図61】



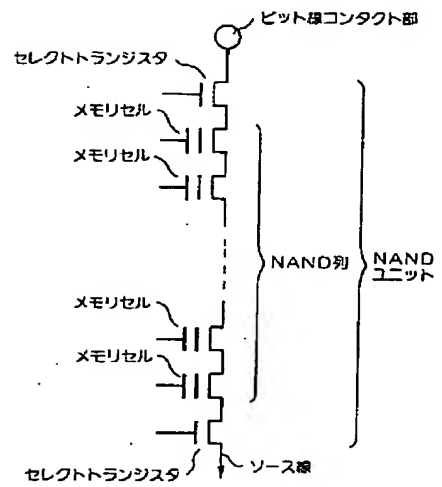
【図70】



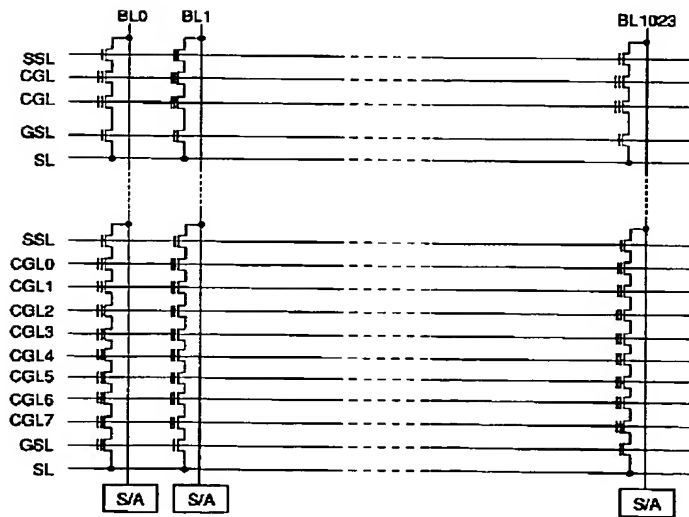
【図63】



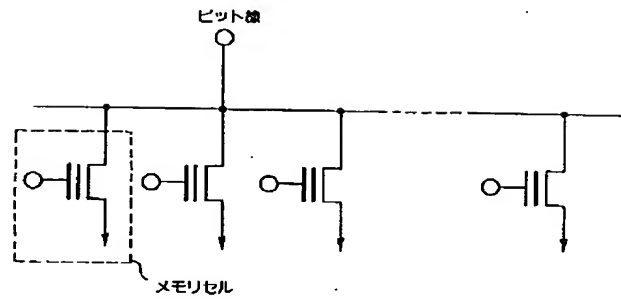
【図71】



【図64】



【図72】



フロントページの続き

(51)Int.Cl.⁷
H 0 1 L 29/788
29/792

識別記号

F I

テーマコード (参考)

F ターム (参考) 5B025 AA02 AB01 AC01 AC03 AD04
AD06 AD08
5F001 AA25 AB08 AC02 AC06 AD12
AD41 AD51 AD53 AE02 AE03
AE08 AE30 AH07
5F083 EP02 EP23 EP33 EP34 EP76
EP78 EP79 ER02 ER03 ER09
ER14 ER15 ER21 ER22 ER30
GA30 JA35 JA53 LA03 LA04
LA05 LA10

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 15 年 7 月 18 日 (2003. 7. 18)

【公開番号】特開 2000-149581 (P2000-149581A)
 【公開日】平成 12 年 5 月 30 日 (2000. 5. 30)
 【年通号数】公開特許公報 12-1496
 【出願番号】特願平 11-10676
 【国際特許分類第 7 版】

G11C 16/06
 16/02
 16/04
 H01L 27/115
 21/8247
 29/788
 29/792

【F I】

G11C 17/00 634 G
 612 F
 623 A
 H01L 27/10 434
 29/78 371

【手続補正書】
 【提出日】平成 15 年 4 月 21 日 (2003. 4. 21)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】
 【特許請求の範囲】

【請求項 1】 1 個のメモリセルとこれを挟み込む 2 個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、
 前記 2 個のセレクトトランジスタの一方に接続されるビット線と、
 前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備し、
 前記メモリセルは、フローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。
 【請求項 2】 1 個のメモリセルとこれを挟み込む 2 個のセレクトトランジスタとから構成される第 1 メモリセルユニット及び複数個のメモリセルから構成される第 2 メモリセルユニットを有するメモリセルアレイと、
 前記第 1 メモリセルユニットに接続されるビット線と、
 前記ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備し、
 前記第 1 及び第 2 メモリセルユニット内のメモリセル

は、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項 3】 請求項 2 記載の不揮発性半導体メモリにおいて、
前記ビット線は、前記第 2 メモリセルユニットにも接続されることを特徴とする不揮発性半導体メモリ。

【請求項 4】 請求項 2 記載の不揮発性半導体メモリにおいて、
 前記第 2 メモリセルユニットは、前記複数個のメモリセルが直列接続された NAND ユニット、又は、前記複数個のメモリセルが並列接続された AND ユニット若しくは DINOR ユニットであることを特徴とする不揮発性半導体メモリ。

【請求項 5】 請求項 1 又は 2 記載の不揮発性半導体メモリにおいて、
 前記 2 個のセレクトトランジスタは、前記メモリセルと同一の構造を有していることを特徴とする不揮発性半導体メモリ。

【請求項 6】 請求項 1 又は 2 記載の不揮発性半導体メモリにおいて、
 選択されたコントロールゲート線に接続される 1 ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、
 前記 1 ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記

1 ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1 ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1 ページ分のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項7】 請求項6記載の不揮発性半導体メモリにおいて、

前記書き換えを行うデータは、前記1 ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項8】 電氣的に書き換え可能なメモリセルから構成されるメモリセルユニットを有するメモリセルアレイと、

前記メモリセルユニットに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、

選択されたコントロールゲート線に接続される1 ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記1 ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1 ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1 ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1 ページ分のメモリセルに書き込む手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項9】 請求項8記載の不揮発性半導体メモリにおいて、

前記メモリセルユニットは、1 個のメモリセルとこれを挟み込む2 個のセレクトトランジスタから構成されるメモリセルユニット、複数個のメモリセルが直列接続されたNANDユニット、又は、複数個のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項10】 請求項8記載の不揮発性半導体メモリにおいて、

前記書き換えを行うデータは、前記1 ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項11】 FNトンネル電流によりデータの書き込みを行うメモリセルを有するメモリセルアレイと、
前記メモリセルに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスア

ンプ回路と、

選択されたコントロールゲート線に接続される1 ページ分のメモリセルに対して同時にデータ書き込みを行う場合に、前記1 ページ分のメモリセルが形成されるウェルを第1 電位、前記1 ページ分のメモリセルのコントロールゲートに第2 電位、前記1 ページ分のメモリセルのうち書き込みを実行するメモリセルに接続されるビット線に前記第1 電位、前記1 ページ分のメモリセルのうち書き込みを実行しないメモリセルに接続されるビット線に前記第1 及び第2 電位の中間電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項12】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、
前記メモリセルアレイ上でロウ方向に延びるメインコントロールゲート線と、

前記メインコントロールゲート線の一端に配置されるメインコントロールゲートドライバと、

前記ロウ方向に配置されるメモリセルユニット内の1 ページ分のメモリセルのうち複数のメモリセルに接続されるサブコントロールゲート線と、

前記メインコントロールゲート線と前記サブコントロールゲート線の間に配置されるサブコントロールゲートドライバとを具備することを特徴とする不揮発性半導体メモリ。

【請求項13】 前記複数のメモリセルユニットの各々は、1 個のメモリセルとこのメモリセルの両端に1 つずつ接続される2 個のセレクトトランジスタとから構成されることを特徴とする請求項12記載の不揮発性半導体メモリ。

【請求項14】 請求項13記載の不揮発性半導体メモリにおいて、

前記ロウ方向に配置されるメモリセルユニット内の2 個のセレクトトランジスタのゲートに接続される2 本のセレクトゲート線と、

前記2 本のセレクトゲート線の一端で、前記コントロールゲートドライバに近接して配置されるセレクトゲートドライバとを具備することを特徴とする不揮発性半導体メモリ。

【請求項15】 請求項12記載の不揮発性半導体メモリにおいて、

アドレス信号をデコードし、制御信号を出力するサブデコーダを具備し、前記サブコントロールゲートドライバは、前記メインコントロールゲート線と前記サブコントロールゲート線の間に接続され、ゲートに前記制御信号が入力されるMOSトランジスタから構成されることを特徴とする不揮発性半導体メモリ。

【請求項16】 請求項12記載の不揮発性半導体メモリにおいて、

アドレス信号をデコードし、前記サブコントロールゲート線に所定の電位を与えるサブデコーダを具備し、前記

サブコントロールゲートドライバは、前記サブコントロールゲート線と前記サブデコーダの間に接続され、ゲートに前記メインコントロールゲート線の電位が入力されるMOSトランジスタから構成されることを特徴とする不揮発性半導体メモリ。

【請求項17】 請求項12記載の不揮発性半導体メモリにおいて、
前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、
前記サブコントロールゲート線に接続される複数のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記複数のメモリセルのデータのうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項18】 請求項12記載の不揮発性半導体メモリにおいて、
前記ロウ方向に配置されるメモリセルユニット内の1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、
前記メインコントロールゲート線に接続される1ページ分のメモリセルのデータをラッチ機能を持つセンスアンプ回路に読み出し、前記センスアンプ回路において前記サブコントロールゲート線に接続される複数のメモリセルのデータのうち書き換えを行うデータに対してデータの上書きを行い、前記サブコントロールゲート線に接続される複数のメモリセルのデータを消去し、前記センスアンプ回路のデータのうち前記サブコントロールゲート線に接続される複数のメモリセルに対応するデータを前記サブコントロールゲート線に接続される複数のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項19】 前記サブコントロールゲート線には、 n (n は自然数) バイトのメモリセルが接続され、前記書き換えを行うデータは、バイト単位のデータであることを特徴とする請求項17又は18記載の不揮発性半導体メモリ。

【請求項20】 前記サブコントロールゲート線に接続される複数のメモリセルをブロックと定義した場合に、前記メインコントロールゲート線に複数のブロックを接続し、データの読み出し、消去又は書き込み動作を、 n (n は自然数) ブロックごとに行うことを特徴とする請求項12記載の不揮発性半導体メモリ。

【請求項21】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第

2メインコントロールゲート線と、前記第1メインコントロールゲート線の一端に接続される第1メインコントロールゲートドライバと、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第2メインコントロールゲート線の一端に接続される第2メインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲートドライバとを具備し、前記第1メインコントロールゲートドライバと前記第1セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の一端に配置され、前記第2メインコントロールゲートドライバと前記第2セレクトゲートドライバは、前記メモリセルアレイの前記ロウ方向の他端に配置されることを特徴とする不揮発性半導体メモリ。

【請求項22】 マトリックス状に配置された複数のメモリセルユニットから構成されるメモリセルアレイと、前記メモリセルアレイ上でロウ方向に延びる第1及び第2メインコントロールゲート線と、前記ロウ方向に配置される第1メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第1サブコントロールゲート線と、前記第1メインコントロールゲート線と前記第1サブコントロールゲート線の間に配置される第1サブコントロールゲートドライバと、前記第1メモリセルユニット内のセレクトトランジスタに接続される第1セレクトゲート線と、前記第1セレクトゲート線の一端に接続される第1セレクトゲートドライバと、前記第1及び第2メインコントロールゲート線の一端に接続されるメインコントロールゲートドライバと、前記ロウ方向に配置される第2メモリセルユニット内の1ページ分のメモリセルのうち複数のメモリセルに接続される第2サブコントロールゲート線と、前記第2メインコントロールゲート線と前記第2サブコントロールゲート線の間に配置される第2サブコントロールゲートドライバと、前記第2メモリセルユニット内のセレクトトランジスタに接続される第2セレクトゲート線と、前記第2セレクトゲート線の一端に接続される第2セレクトゲ

トドライバとを具備し、前記メインコントロールゲートドライバと前記第1及び第2セレクトゲートドライバは、共に、前記メモリセルアレイの前記ロウ方向の一端に配置されることを特徴とする不揮発性半導体メモリ。

【請求項23】 前記第1メモリセルユニットと前記第2メモリセルユニットは、カラム方向において互いに隣接していることを特徴とする請求項20又は22記載の不揮発性半導体メモリ。

【請求項24】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1及び第2メモリセルユニットを有するメモリセルアレイと、前記第1メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第1ビット線と、前記第2メモリセルユニット内の2個のセレクトトランジスタの一方に接続される第2ビット線と、前記第1及び第2ビット線に接続されるラッチ機能を持つセンスアンプ回路とを具備することを特徴とする不揮発性半導体メモリ。

【請求項25】 複数個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、前記2個のセレクトトランジスタの一方に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、書き込み動作時に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項26】 前記メモリセルユニットは、2個のメモリセルを含むことを特徴とする請求項25記載の不揮発性半導体メモリ。

【請求項27】 前記複数個のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする請求項25記載の不揮発性半導体メモリ。

【請求項28】 前記2個のセレクトトランジスタは、それぞれ前記複数個のメモリセルと同一の構造を有していることを特徴とする請求項27記載の不揮発性半導体メモリ。

【請求項29】 複数個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数個のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、前記第1及び第2メモリセルユニットに共通に接続されるビット線と、前記ビット線に接続されるラッチ機能を持つセンスアンプ回路と、

書き込み動作時に、前記第1メモリセルユニットを含むブロックが選択された場合に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項30】 請求項29記載の不揮発性半導体メモリにおいて、

前記第2メモリセルユニットは、前記複数個のメモリセルが直列接続されたNANDユニット、又は、前記複数個のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項31】 請求項25又は29記載の不揮発性半導体メモリにおいて、選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、

前記1ページ分のメモリセルのデータを前記センスアンプ回路に読み出し、前記センスアンプ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンプ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項32】 請求項31記載の不揮発性半導体メモリにおいて、

前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項33】 請求項25又は29記載の不揮発性半導体メモリにおいて、

前記手段は、前記書き込み動作時に、前記選択されたコントロールゲート線と前記非選択のコントロールゲート線に前記電源電位又は前記読み出し電位を与えた後に、前記選択されたコントロールゲート線の電位のみを前記書き込み用の高電位に上昇させることを特徴とする不揮発性半導体メモリ。

【請求項34】 前記データ書き換えにおける書き込みは、ホットエレクトロン又はFNTトンネル現象により行われ、前記データ書き換えにおける消去は、FNTトンネル現象により行われ、電子の移動は、前記メモリセルのフローティングゲートとそのソース又はドレインの間、又は前記メモリセルのフローティングゲートとそのチャネルとの間で行われることを特徴とする請求項6、1

6、17及び31のいずれか1項に記載の不揮発性半導体メモリ。

【請求項35】 1個のメモリセルと1個のセレクトトランジスタとから構成されるメモリセルユニットを有するメモリセルアレイと、
前記メモリセルに直接接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンブ回路とを具備し、
前記メモリセルは、フローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項36】 請求項35記載の不揮発性半導体メモリにおいて、
前記メモリセルに対するデータ書き込み／消去は、共に、FNトンネル現象を用いて行われることを特徴とする不揮発性半導体メモリ。

【請求項37】 1個のメモリセルと1個のセレクトトランジスタとから構成される第1メモリセルユニット及び複数のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、
前記第1メモリセルユニット内のメモリセルに直接接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンブ回路とを具備し、
前記第1及び第2メモリセルユニット内のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項38】 請求項37記載の不揮発性半導体メモリにおいて、
前記ビット線は、前記第2メモリセルユニット内の複数のメモリセルにも接続されることを特徴とする不揮発性半導体メモリ。

【請求項39】 請求項37記載の不揮発性半導体メモリにおいて、
前記第2メモリセルユニットは、前記複数のメモリセルが直列接続されたNANDユニット、又は、前記複数のメモリセルが並列接続されたANDユニット若しくはDINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項40】 請求項35又は37記載の不揮発性半導体メモリにおいて、
前記セレクトトランジスタは、前記メモリセルと同一の構造を有していることを特徴とする不揮発性半導体メモリ。

【請求項41】 請求項35又は37記載の不揮発性半導体メモリにおいて、
選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、

前記1ページ分のメモリセルのデータを前記センスアンブ回路に読み出し、前記センスアンブ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンブ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項42】 請求項41記載の不揮発性半導体メモリにおいて、
前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項43】 電氣的に書き換え可能なメモリセルから構成されるメモリセルユニットを有するメモリセルアレイと、
前記メモリセルユニットに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンブ回路と、
選択されたコントロールゲート線に接続される1ページ分のメモリセルのうち任意のメモリセルに対してデータ書き換えを行う場合に、前記1ページ分のメモリセルのデータを前記センスアンブ回路に読み出し、前記センスアンブ回路において前記1ページ分のデータのうち書き換えを行うデータに対してデータの上書きを行い、前記選択されたコントロールゲート線に接続される1ページ分のメモリセルのデータを消去し、前記センスアンブ回路のデータを前記選択されたコントロールゲート線に接続される1ページ分のメモリセルに書き込む手段とを具備し、
前記メモリセルユニットは、1個のメモリセルと1個のセレクトトランジスタから構成されることを特徴とする不揮発性半導体メモリ。

【請求項44】 請求項43記載の不揮発性半導体メモリにおいて、
前記書き換えを行うデータは、前記1ページ分の全データ又はバイト単位のデータであり、ページ単位の書き換えを行うか又はバイト単位の書き換えを行うかは、コマンドにより決定されることを特徴とする不揮発性半導体メモリ。

【請求項45】 2個のメモリセルとこれらを挟み込む2個のセレクトトランジスタとから構成される第1メモリセルユニット及び3個以上のメモリセルから構成される第2メモリセルユニットを有するメモリセルアレイと、
前記第1メモリセルユニットに接続されるビット線と、
前記ビット線に接続されるラッチ機能を持つセンスアンブ回路とを具備し、

ブ回路とを具備し、

前記第1及び第2メモリセルユニット内のメモリセルは、それぞれフローティングゲートとコントロールゲートを有するスタックゲート構造を有することを特徴とする不揮発性半導体メモリ。

【請求項46】 請求項45記載の不揮発性半導体メモリにおいて、

前記ビット線は、前記第2メモリセルユニットにも接続されることを特徴とする不揮発性半導体メモリ。

【請求項47】 請求項45記載の不揮発性半導体メモリにおいて、

前記第2メモリセルユニットは、NANDユニット、ANDユニット、又は、DINORユニットであることを特徴とする不揮発性半導体メモリ。

【請求項48】 請求項45記載の不揮発性半導体メモリにおいて、

前記2個のセレクトトランジスタは、前記メモリセルと同一の構造を有していることを特徴とする不揮発性半導体メモリ。

【請求項49】 請求項45記載の不揮発性半導体メモリにおいて、

さらに、書き込み動作時に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項50】 請求項45記載の不揮発性半導体メモリにおいて、

さらに、書き込み動作時に、前記第1メモリセルユニットを含むブロックが選択された場合に、選択されたコントロールゲート線に電源電位よりも高い書き込み用の高電位を印加し、非選択のコントロールゲート線に前記電源電位又は読み出し動作時に非選択のコントロールゲート線に与える読み出し電位を印加する手段を具備することを特徴とする不揮発性半導体メモリ。

【請求項51】 1つのロウアドレスに属する複数のメモリセルのうち任意のメモリセルに対してデータの書き換えを行う場合に、

前記複数のメモリセルのデータをセンスアンプ回路に読み出し、

前記センスアンプ回路において、書き換えの対象となるメモリセルのデータに対してデータの上書きを行い、

前記複数のメモリセルのデータを消去し、

前記複数のメモリセルに対して前記センスアンプ回路のデータを書き込むことを特徴とするデータ書き換え方法。

【請求項52】 1つのロウアドレスに属する複数のメモリセルのうち任意のメモリセルに対してデータの書き換えを行う場合に、

前記複数のメモリセルのデータをセンスアンプ回路に読み出し、

前記センスアンプ回路において、書き換えの対象となるメモリセルのデータに対してデータの上書きを行い、

前記書き換えの対象となるメモリセルのデータを消去し、

前記書き換えの対象となるメモリセルに対して前記センスアンプ回路のデータを書き込むことを特徴とするデータ書き換え方法。

【請求項53】 1つのロウアドレスに属する複数のメモリセルのうち任意のメモリセルに対してデータの書き換えを行う場合に、

前記複数のメモリセルのうち、書き換えの対象となるメモリセルのデータをセンスアンプ回路に読み出し、

前記センスアンプ回路において、前記書き換えの対象となるメモリセルのデータに対してデータの上書きを行い、

前記書き換えの対象となるメモリセルのデータを消去し、

前記書き換えの対象となるメモリセルに対して前記センスアンプ回路のデータを書き込むことを特徴とするデータ書き換え方法。

【請求項54】 1つのロウアドレスに属する複数のメモリセルのうち任意のメモリセルに対してデータの書き換えを行う場合に、

前記複数のメモリセルのうち、書き換えの対象となるメモリセルに対する書き込みデータをセンスアンプ回路にラッチし、

前記書き換えの対象となるメモリセルのデータを消去し、

前記書き換えの対象となるメモリセルに対して前記センスアンプ回路のデータを書き込むことを特徴とするデータ書き換え方法。

【請求項55】 前記複数のメモリセルは、1ページを構成していることを特徴とする請求項51乃至54のいずれか1項に記載のデータ書き換え方法。

【請求項56】 前記書き換えの対象となるメモリセルのデータは、バイトデータであることを特徴とする請求項51乃至54のいずれか1項に記載のデータ書き換え方法。

【請求項57】 前記複数のメモリセルは、それぞれ、NANDユニット、ANDユニット、又は、DINORユニットを構成していることを特徴とすることを特徴とする請求項51乃至54のいずれか1項に記載のデータ書き換え方法。

【請求項58】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する消去動作は、1個の消去パルスを前記メモリセルに与えることにより完了させることを特徴とするデータ消去方法。

【請求項59】 1個のメモリセルと1個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する消去動作は、1個の消去パルスを前記メモリセルに与えることにより完了させることを特徴とするデータ消去方法。

【請求項60】 2個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する消去動作は、1個の消去パルスを前記メモリセルに与えることにより完了させることを特徴とするデータ消去方法。

【請求項61】 前記消去動作を完了した後に、ベリファイ動作を行うことを特徴とする請求項58乃至60のいずれか1項に記載のデータ消去方法。

【請求項62】 前記消去動作を完了した後に、ベリファイ動作を行わないことを特徴とする請求項58乃至60のいずれか1項に記載のデータ消去方法。

【請求項63】 1つのロウアドレスに属する複数のメモリセルのうち、消去の対象となるメモリセルのコントロールゲート電極に第1電位を与え、前記複数のメモリセルのうち、消去の対象とならないメモリセルのコントロールゲート電極をフローティング状態にし、前記複数のメモリセルが配置されるウェル領域に前記第1電位よりも高い第2電位を与えて、前記消去の対象となるメモリセルのみについてデータ消去を実行することを特徴とするデータ消去方法。

【請求項64】 前記複数のメモリセルの各々は、2個のセレクトトランジスタにより挟み込まれることを特徴とする請求項63記載のデータ消去方法。

【請求項65】 前記複数のメモリセルの各々は、ビット線に直接接続され、かつ、セレクトトランジスタを経由してソース線に接続されることを特徴とする請求項63記載のデータ消去方法。

【請求項66】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する書き込み動作は、1個の書き込みパルスを前記メモリセルに与えることにより完了させることを特徴とするデータ書き込み方法。

【請求項67】 1個のメモリセルと1個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する書き込み動作は、1個の書き込みパルスを前記メモリセルに与えることにより完了させることを特徴とするデータ書き込み方法。

【請求項68】 2個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから1個のメモリセルユニットが構成される場合に、前記メモリセルに対する書き込み動作は、1個の書き込みパルスを前記メモリセルに与えることにより完了させることを特徴とするデータ書き込み方法。

【請求項69】 前記書き込み動作を完了した後に、ベ

リファイ動作を行うことを特徴とする請求項66乃至68のいずれか1項に記載のデータ書き込み方法。

【請求項70】 前記書き込み動作を完了した後に、ベリファイ動作を行わないことを特徴とする請求項66乃至68のいずれか1項に記載のデータ書き込み方法。

【請求項71】 1つのロウアドレスに属する複数のメモリセルのうち、書き込みの対象となるメモリセルに接続されるビット線の上に、書き込みデータに応じた電位を与え、前記書き込みの対象となるメモリセルのコントロールゲート電極の上に書き込み電位を与えて、前記複数のメモリセルのうち、前記書き込みの対象となるメモリセルのみについてデータ書き込みを実行することを特徴とするデータ書き込み方法。

【請求項72】 前記複数のメモリセルの各々は、2個のセレクトトランジスタにより挟み込まれることを特徴とする請求項71記載のデータ書き込み方法。

【請求項73】 前記複数のメモリセルの各々は、ビット線に直接接続され、かつ、セレクトトランジスタを経由してソース線に接続されることを特徴とする請求項71記載のデータ書き込み方法。

【請求項74】 1個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される複数のメモリセルユニットに対して、消去動作時には、消去の対象となるメモリセルを有する選択されたメモリセルユニットでは、前記メモリセルのコントロールゲート電極に第1電位を与え、前記消去の対象となるメモリセルを有しない非選択のメモリセルユニットでは、前記メモリセルのコントロールゲート電極をフローティング状態にし、全てのメモリセルユニット内の2個のセレクトトランジスタのゲート電極をフローティング状態にし、1つのロウアドレス内には、前記選択されたメモリセルユニットと前記非選択のメモリセルユニットの双方が含まれることを特徴とするデータ消去方法。

【請求項75】 1個のメモリセルと1個のセレクトトランジスタとから構成される複数のメモリセルユニットに対して、消去動作時には、消去の対象となるメモリセルを有する選択されたメモリセルユニットでは、前記メモリセルのコントロールゲート電極に第1電位を与え、前記消去の対象となるメモリセルを有しない非選択のメモリセルユニットでは、前記メモリセルのコントロールゲート電極をフローティング状態にし、全てのメモリセルユニット内のセレクトトランジスタのゲート電極をフローティング状態にし、1つのロウアドレス内には、前記選択されたメモリセルユニットと前記非選択のメモリセルユニットの双方が含まれることを特徴とするデータ消去方法。

【請求項76】 2個のメモリセルとこれを挟み込む2個のセレクトトランジスタとから構成される複数のメモリセルユニットに対して、消去動作時には、消去の対象となるメモリセルを有する選択されたメモリセルユニットでは、前記メモリセルのコントロールゲート電極に第1電位を与え、前記消去の対象となるメモリセルを有しない非選択のメモリセルユニットでは、前記メモリセルのコントロールゲート電極をフローティング状態にし、全てのメモリセルユニット内の2個のセレクトトランジスタのゲート電極をフローティング状態にし、1つのロウアドレス内には、前記選択されたメモリセルユニットと前記非選択のメモリセルユニットの双方が含まれることを特徴とするデータ消去方法。

メモリセルユニットに対して、消去動作時には、
消去の対象となるメモリセルのコントロールゲート電極
に第1電位を与え、

前記消去の対象とならないメモリセルのコントロールゲ
ート電極をフローティング状態にし、
全てのメモリセルユニット内の2個のセレクトトランジ
スタのゲート電極をフローティング状態にすることを特
徴とするデータ消去方法。

【請求項77】 請求項76記載のデータ消去方法にお
いて、1つのロウアドレス内には、前記消去の対象とな
るメモリセルと前記消去の対象とならないメモリセルの
双方が含まれることを特徴とするデータ消去方法。

【請求項78】 1個のメモリセルとこれを挟み込む2
個のセレクトトランジスタとから1個のメモリセルユニ
ットが構成される場合に、前記メモリセルに対する書き
込み動作は、

ビット線側のセレクトトランジスタをオン状態、ソース
線側のセレクトトランジスタをオフ状態にし、
書き込みデータが第1値の場合には、前記ビット線に第
1電位、前記メモリセルのコントロールゲート電極に前
記第1電位よりも高い第2電位を与え、
前記書き込みデータが第2値の場合には、前記ビット線
に前記第1及び第2電位の間の中間電位、前記メモリセ
ルのコントロールゲート電極に前記第2電位を与えるこ
とを特徴とするデータ書き込み方法。

【請求項79】 1個のメモリセルと1個のセレクトト
ランジスタとから1個のメモリセルユニットが構成さ
れ、前記セレクトトランジスタが前記メモリセルのソー
ス線側に配置される場合に、前記メモリセルに対する書
き込み動作は、

前記セレクトトランジスタをオフ状態にし、
書き込みデータが第1値の場合には、前記ビット線に第
1電位、前記メモリセルのコントロールゲート電極に前
記第1電位よりも高い第2電位を与え、
前記書き込みデータが第2値の場合には、前記ビット線
に前記第1及び第2電位の間の中間電位、前記メモリセ
ルのコントロールゲート電極に前記第2電位を与えるこ
とを特徴とするデータ書き込み方法。

【請求項80】 2個のメモリセルとこれを挟み込む2
個のセレクトトランジスタとから1個のメモリセルユニ
ットが構成される場合に、前記メモリセルに対する書き
込み動作は、

ビット線側のセレクトトランジスタをオン状態、ソース
線側のセレクトトランジスタをオフ状態にし、
書き込みデータが第1値の場合には、前記ビット線に第
1電位、前記メモリセルのコントロールゲート電極に前
記第1電位よりも高い第2電位を与え、
前記書き込みデータが第2値の場合には、前記ビット線
に前記第1及び第2電位の間の中間電位、前記メモリセ
ルのコントロールゲート電極に前記第2電位を与えるこ

とを特徴とするデータ書き込み方法。

【請求項81】 前記第2電位が前記メモリセルのコン
トロールゲート電極に与えられたとき、前記中間電位
は、容量カップリングにより上昇し、前記ビット線側の
セレクトトランジスタは、カットオフすることの特徴と
する請求項78又は80に記載のデータ書き込み方法。

【請求項82】 前記中間電位は、前記第1電位と前記
第2電位のほぼ中間の値を有していることを特徴とする
請求項79に記載のデータ書き込み方法。

【請求項83】 前記メモリセルユニットが、書き込み
の対象となるメモリセルを含まない場合、前記2個のセ
レクトトランジスタは、オフ状態に設定され、前記メモ
リセルのコントロールゲート電極には、前記第1電位が
与えられることを特徴とする請求項78又は80に記載
のデータ書き込み方法。

【請求項84】 前記メモリセルユニットが、書き込み
の対象となるメモリセルを含まない場合、前記セレクト
トランジスタは、オフ状態に設定され、前記メモリセル
のコントロールゲート電極には、前記第1電位が与えら
れることを特徴とする請求項79に記載のデータ書き込
み方法。

【請求項85】 前記ソース線には、前記第1電位又は
前記第1電位よりも高い第3電位が与えられることを特
徴とする請求項78乃至80のいずれか1項に記載のデー
タ書き込み方法。

【請求項86】 前記第1電位は、接地電位であり、前
記中間電位は、電源電位であることを特徴とする請求項
78乃至80のいずれか1項に記載のデータ書き込み方
法。

【請求項87】 1個のメモリセルとこれを挟み込む2
個のセレクトトランジスタとから構成される複数個のメ
モリセルユニットに対して、読み出し動作時には、
読み出しの対象となるメモリセルを有する選択されたメ
モリセルユニットでは、前記2個のセレクトトランジス
タをオン状態にし、

前記読み出しの対象となるメモリセルを有しない非選択
のメモリセルユニットでは、前記2個のセレクトトラン
ジスタをオフ状態にし、

前記メモリセルユニットの選択／非選択にかかわらず、
全てのメモリセルユニット内のメモリセルのコントロ
ールゲート電極に接地電位を与えることを特徴とするデー
タ読み出し方法。

【請求項88】 1個のメモリセルと1個のセレクトト
ランジスタとから構成される複数個のメモリセルユニ
ットに対して、読み出し動作時には、
読み出しの対象となるメモリセルを有する選択されたメ
モリセルユニットでは、前記セレクトトランジスタをオ
ン状態にし、

前記読み出しの対象となるメモリセルを有しない非選択
のメモリセルユニットでは、前記セレクトトランジスタ

をオフ状態にし、
前記メモリセルユニットの選択／非選択にかかわらず、
全てのメモリセルユニット内のメモリセルのコントロール
ゲート電極に接地電位を与えることを特徴とするデータ
読み出し方法。

【請求項89】 2個のメモリセルとこれを挟み込む2
 個のセレクトトランジスタとから構成される複数のメ
 モリセルユニットに対して、読み出し動作時には、
読み出しの対象となるメモリセルを有する選択されたメ
モリセルユニットでは、前記2個のセレクトトランジス
タをオン状態にし、

前記読み出しの対象となるメモリセルを有しない非選択
のメモリセルユニットでは、前記2個のセレクトラン
ジスタをオフ状態にし、

前記メモリセルユニットの選択／非選択にかかわらず、
全てのメモリセルユニット内のメモリセルのコントロー
ルゲート電極に接地電位を与えることを特徴とするデータ
読み出し方法。

【請求項90】 前記複数のメモリセルユニット内の
 メモリセルの閾値電圧は、データの値に応じて、正又は
 負に設定されていることを特徴とする請求項87乃至8
 9のいずれか1項に記載のデータ読み出し方法。

【請求項91】 センスノードと、前記センスノードの
 電位を第1電位にリセットするための第1トランジスタ
 と、メモリセルのデータに応じて、前記センスノードの
 電位を、前記第1電位又は前記第1電位よりも高い第2
 電位にする第2トランジスタと、前記センスノードの電
 位に基づいて、前記メモリセルのデータをラッチするラ
 ッチ回路とを具備することを特徴とするセンスアンプ回
 路。

【請求項92】 読み出し動作時、前記センスノード
 は、前記メモリセルのデータに応じて、前記第1電位を
 維持し、又は、前記第1電位から前記第2電位に変化す
 ることを特徴とする請求項91に記載のセンスアンプ回
 路。

【請求項93】 読み出し動作時、前記メモリセルのデ
 ータが前記ラッチ回路にラッチされた後、前記センスノ
 ードは、前記第1電位にリセットされることを特徴とす
 る請求項91に記載のセンスアンプ回路。

【請求項94】 前記ラッチ回路には、それにラッチさ
 れた前記メモリセルのデータにかかわらず、外部からの
 書き込みデータが上書きされることを特徴とする請求項
 91に記載のセンスアンプ回路。